



---

**Forschungszentrum Karlsruhe**  
in der Helmholtz-Gemeinschaft

---

**Wissenschaftliche Berichte**  
FZKA 7022

**Konzeption und Demonstration  
eines Frequenzsynthesizers  
für das Ku-Band mit modernen  
Frequenzaufbereitungsmethoden**

**D. Saric**

**Institut für Hochleistungsimpuls- und  
Mikrowellentechnik  
Programm Kernfusion**

**September 2004**

# **Forschungszentrum Karlsruhe**

in der Helmholtz-Gemeinschaft

Wissenschaftliche Berichte

FZKA 7022

## Konzeption und Demonstration eines Frequenzsynthesizers für das Ku-Band mit modernen Frequenzaufbereitungsmethoden

D. Saric

Institut für Hochleistungsimpuls-  
und Mikrowellentechnik  
Programm Kernfusion

Diplomarbeit an der Fakultät für Elektrotechnik  
und Informationstechnik, Universität Karlsruhe (TH)

Forschungszentrum Karlsruhe GmbH, Karlsruhe  
2004

**Impressum der Print-Ausgabe:**

**Als Manuskript gedruckt  
Für diesen Bericht behalten wir uns alle Rechte vor**

**Forschungszentrum Karlsruhe GmbH  
Postfach 3640, 76021 Karlsruhe**

**Mitglied der Hermann von Helmholtz-Gemeinschaft  
Deutscher Forschungszentren (HGF)**

**ISSN 0947-8620**

**urn:nbn:de:0005-070229**



Universität Karlsruhe (TH)  
Institut für Höchstfrequenztechnik und Elektronik



Diplomarbeit

# Konzeption und Demonstration eines Frequenzsynthesizers für das Ku-Band mit modernen Frequenzaufbereitungsmethoden

Dalibor Saric

Betreuer: Andreas Arnold

Zeitraum: 01. April 2003 bis 30. September 2003

Karlsruhe, den 30. September 2003

---

Postanschrift: Institut für Höchstfrequenztechnik und Elektronik  
Kaiserstraße 12  
D - 76128 Karlsruhe

Gebäude: Engesserstraße 5, Geb. 30.10

Tel.: +49 (0) 721 608 25 22

Sekr.: +49 (0) 721 608 25 23

Fax.: +49 (0) 721 69 18 65

Email: [ihe@ihe.uka.de](mailto:ihe@ihe.uka.de)

WWW: <http://www.ihe.uni-karlsruhe.de>

## **Konzeption und Demonstration eines Frequenzsynthesizers für das Ku-Band mit modernen Frequenzaufbereitungsmethoden**

### **Kurzfassung**

Der vorliegende Bericht dokumentiert die Entwicklung und Realisierung eines modern aufgebauten Synthesizers mit einem Ausgangsfrequenzbereich im Ku-Band zwischen 12 und 19 GHz. In der Signalaufbereitung kommen aktuelle Verfahren, wie ein Synthesizer nach dem Prinzip eines Direct Digital Synthesizers (DDS) und eine breitbandige Phasenregelschleife, zum Einsatz.

Der Direct Digital Synthesizer erzeugt ein Ausgangssignal mit einem Frequenzbereich von 9,5–10,5 MHz und einer Frequenzauflösung besser 10 mHz. Durch die hohe Frequenzauflösung werden im Ku-Band noch Frequenzschritte kleiner 15 Hz ermöglicht. Das DDS-Ausgangssignal dient der nachfolgenden Breitband-PLL als Vergleichsfrequenz. Das phasenstabile Ausgangssignal der PLL von 0,8–1,6 GHz wird in verschiedenen Stufen in den Zwischenfrequenzbereich 0,95–4,30 GHz vervielfacht. In einer letzten Stufe wird es durch Aufwärtsmischung und einer weiteren Frequenzverdopplung in das Ku-Band umgesetzt.

Ein erster Prototyp zur Erzeugung des Zwischenfrequenzbereichs 0,95–4,30 GHz wurde realisiert und die Spezifikation der Komponenten der letzten Stufe erstellt.

Diese Arbeit wurde im Rahmen einer Kooperation zwischen dem Institut für Hochleistungsimpuls- und Mikrowellentechnik am Forschungszentrum Karlsruhe und dem Institut für Höchsthfrequenztechnik und Elektronik der Universität Karlsruhe (TH) durchgeführt.

## **Conceptual design and demonstration of a frequency synthesizer for the Ku-band using modern methods of frequency processing**

### **Abstract**

The following report describes the development and design of a modern synthesizer architecture generating a signal in the Ku-band between 12 and 19 GHz. State-of-the-art techniques as direct digital synthesizer (DDS) and wide-band PLL are used.

The direct digital synthesizer generates an output frequency in the range of 9.5–10.5 MHz with a resolution better than 10 mHz. The high frequency resolution allows frequency steps smaller than 15 Hz in the Ku-band. The output signal of the direct digital synthesizer is used as a reference by a wide-band PLL with a phase stabilized output frequency in the range of 0.8–1.6 GHz. The PLL output signal is multiplied by factors 2 and 3 to an higher frequency. In the last block this frequency spanning between 0.95–4.30 GHz is up-converted and multiplied to the Ku-band.

This project was possible through a cooperation between the “Institut für Hochleistungsimpuls- und Mikrowellentechnik“ an institution of the Forschungszentrum Karlsruhe, and the “Institut für Höchsthfrequenztechnik und Elektronik“ of the University of Karlsruhe.



# Inhaltsverzeichnis

<b>1. Einleitung</b>	<b>1</b>
1.1. Hintergrund . . . . .	1
1.2. Aufgabe der Diplomarbeit . . . . .	2
1.3. Anforderungen an den Synthesizer . . . . .	2
1.4. Gliederung . . . . .	3
<b>2. Frequenzsyntheverfahren</b>	<b>4</b>
2.1. Frequenzsyntheverfahren . . . . .	4
2.1.1. Direkte Analoge Synthese DAS . . . . .	4
2.1.2. Indirekte Analoge Synthese IAS . . . . .	5
2.1.3. Direkte Digitale Synthese DDS . . . . .	6
2.2. Konzepte . . . . .	6
2.3. Konzeptvorschläge . . . . .	7
2.4. Entscheidungskriterien . . . . .	11
2.5. Spezifikationen zu Konzept III . . . . .	12
<b>3. DDS</b>	<b>14</b>
3.1. Architektur . . . . .	14
3.2. Details . . . . .	16
3.2.1. Abtastbedingung . . . . .	17
3.2.2. Spektrale Reinheit . . . . .	19
3.3. Parameter . . . . .	22
3.4. Realisierung . . . . .	23
<b>4. PLL</b>	<b>24</b>
4.1. Aufbau . . . . .	24
4.1.1. Systemtheoretische Betrachtung . . . . .	24
4.1.2. Voltage Controlled Oscillator (VCO) . . . . .	27
4.1.3. Phasen-Detektor (PD) . . . . .	27
4.1.4. Loopfilter . . . . .	27
4.1.5. PLL-Synthesizer-Chip . . . . .	29
4.2. Realisierung . . . . .	31
4.2.1. Phasenrauschen . . . . .	34
4.2.2. Spezifikation . . . . .	36
4.2.3. Layout . . . . .	37
4.3. Messungen . . . . .	37
4.3.1. Loopbandbreite und Phasenrauschen . . . . .	38

---

<b>5. Vervielfacher</b>	<b>43</b>
5.1. Prinzip der Frequenzvervielfachung . . . . .	43
5.2. Definitionen . . . . .	44
5.3. Verdoppler . . . . .	45
5.3.1. Realisierung . . . . .	46
5.3.2. Messung . . . . .	47
5.4. Verdreifacher . . . . .	50
5.4.1. Realisierung . . . . .	50
5.4.2. Messungen . . . . .	52
5.4.3. Vergleich mit RFHIC T1020 . . . . .	55
<b>6. Filter</b>	<b>56</b>
6.1. Diskret aufgebaute Filter . . . . .	56
6.1.1. Tiefpass . . . . .	57
6.1.2. Realisierung . . . . .	57
6.2. Microstripfilter . . . . .	60
6.2.1. Stepped Impedance Tiefpass . . . . .	60
6.2.2. Bandpass . . . . .	66
<b>7. Gesamtbetrachtung</b>	<b>79</b>
7.1. Messungen . . . . .	79
7.1.1. DDS und PLL . . . . .	79
7.1.2. Einfluss der Vervielfacher auf das Ausgangsspektrum . . . . .	82
7.1.3. Zusammenfassung der ersten drei Blöcke . . . . .	86
7.2. Aufbau der Misch- und Verdopplerstufe . . . . .	87
7.2.1. Frequenzumsetzung . . . . .	88
<b>8. Zusammenfassung</b>	<b>89</b>
<b>A. Anhang</b>	<b>94</b>
A.1. Verzeichnis der verwendeten Abkürzungen . . . . .	94
A.2. Schaltpläne . . . . .	94

# 1. Einleitung

Das Institut für Hochleistungsimpuls- und Mikrowellentechnik (IHM) am Forschungszentrum Karlsruhe (FZK) beschäftigt sich mit zwei großen Themengebieten: der Hochleistungsmikrowellentechnik und der Hochleistungsimpulstechnik.

Innerhalb der Mikrowellentechnik werden Oszillatordröhren, so genannte Gyrotrons, entwickelt. Diese erzeugen elektromagnetische Strahlung hoher Frequenz und Leistung.

Die Gyrotronoszillatoren werden unter anderem zur Heizung von Kernfusionsplasmen eingesetzt. Dabei werden die am IHM entwickelten Mikrowellenröhren bei verschiedenen Frequenzen im D-Band, das sich von 110–170 GHz erstreckt, verwendet. Auch in der Verfahrenstechnik, z. B. bei Sinterprozessen, hat sich ihr Einsatz etabliert.

## 1.1. Hintergrund

Neben dem Gesamtkonzept für Gyrotrons spielt auch die Entwicklung von Einzelbaugruppen, z. B. von Ausgangsfenstern für das Gyrotron, eine große Rolle. Diese Ausgangsfenster haben die Aufgabe, das Vakuumsystem des Gyrotrons von der Umgebungsatmosphäre zu trennen, gleichzeitig tritt durch sie der HF-Ausgangsstrahl des Gyrotrons heraus. Dadurch müssen sie auf einer definierten Fläche großen Strahlleistungen standhalten können, d. h. Reflexion und Absorption müssen klein sein.

Die Ausgangsfenster werden extern gefertigt. Bevor sie im Gyrotron zum Einsatz kommen, möchte man sich vergewissern, dass die verwendeten dielektrischen Fensterscheiben den gestellten Anforderungen bezüglich Transmission und Reflexion gerecht werden. Dazu wird momentan ein spezieller Messaufbau für Messungen im D-Band weiterentwickelt.

Der Messaufbau hat die Funktion eines Netzwerkanalysators, der Messungen im D-Band ermöglicht. Als Testset wurde eine quasi-optische Messstrecke errichtet. Quasi-optisch bedeutet, dass die Wellenlänge um ein Vielfaches kleiner als die Dimensionen der eingesetzten Komponenten ist.

Die Signalaufbereitung lässt sich in einen Sendezweig und einen Empfangszweig aufteilen. Hier kommen mehrere Signalquellen, Mischer, Vervielfacher, Verstärker und Filter zum Einsatz.

Im Sendezweig wird das Ausgangssignal im Ku-Band zwischen 12 und 19 GHz durch einen Signalgenerator erzeugt und anschließend verneunfacht.

Im Empfangszweig wird die empfangene Frequenz auf 2,7 GHz heruntergemischt, um mit einem selektiven Messempfänger detektiert zu werden.

Zur Abwärtsmischung wird dabei das gleiche Ausgangssignal des Signalgenerators für

das Ku-Band wie im Sendezweig verwendet.

## 1.2. Aufgabe der Diplomarbeit

Bislang dienen mehrere kommerziell erhältliche Signalgeneratoren als Quellen innerhalb der Signalaufbereitung. Aufgrund des hohen Alters der Geräte, welches bei etwa 15 Jahren liegt, zeigen diese vermehrt Ausfallerscheinungen. Aus Kosten- und Platzgründen werden diese Generatoren nach und nach durch auf den Messaufbau abgestimmte Komponenten ersetzt.

Die vorliegende Diplomarbeit beschäftigt sich mit dem im Sendezweig verwendeten Signalgenerator für das Ku-Band. Die Aufgabe besteht darin, ein passendes Konzept zu entwerfen, das den Anforderungen an diesen Generator genügt. Dazu werden verschiedene Verfahren der Frequenzsynthetisierung untersucht, mit Hilfe derer ein geeignetes Konzept erstellt wird.

Die hier erbrachten Ergebnisse sollen dazu dienen, eine Abschätzung der Möglichkeiten zu geben. Das Ziel der Arbeit ist, einen Aufbauvorschlag zu geben, der in Form eines Prototyps erste Ergebnisse liefert.

## 1.3. Anforderungen an den Synthesizer

Die technischen Anforderungen an den Synthesizer werden direkt von den Anforderungen an den momentan verwendeten Frequenzsynthesizer (Signalgenerator) abgeleitet.

- Ausgangsfrequenzbereich  
Ku-Band,  $f_{out} = 12\text{--}19$  GHz
- Ausgangsleistung  
 $P_{out} = +10$  dBm
- Frequenzauflösung  
Im D-Band ist eine Frequenzauflösung von mindestens 1 MHz gefordert. Dies bedeutet eine Frequenzauflösung von mindestens 100 kHz im Ku-Band.
- Wobbelgeschwindigkeit  
Das eingesetzte Frequenzsyntheseverfahren soll eine schnelle und präzise Frequenzerzeugung ermöglichen. Dabei müssen schnelle Wechsel von einem Frequenzpunkt zum nächsten möglich sein.  
Den Aspekt der Wobbelgeschwindigkeit soll ein Beispiel verdeutlichen:  
Nehmen wir an, es sollen von 110–170 GHz Messungen in 10-MHz-Schritten gemacht werden. Dies ergibt 6000 Messpunkte.  
Möchte man diese Messung innerhalb von 10 min verrichten, so bedeutet dies pro Messpunkt eine Messzeit von maximal  $\Delta t = 100$  ms. Beachtet man, dass ein Teil dieser Zeit für die Detektion der Leistung benötigt wird, so wird die Forderung an ein schnelles Einstellen der Ausgangsfrequenz deutlich.

## **1.4. Gliederung**

Die vorliegende Arbeit ist folgendermaßen gegliedert: nach einer Vorstellung verschiedener Konzeptentwürfe, deren Beurteilung und der Auswahl eines Konzeptes sollen die einzelnen Blöcke des Konzepts vorgestellt werden. Neben einem Einblick in die grundlegende Theorie werden Parameter und Performance der einzelnen Komponenten anhand von Messungen und Rechnungen aufgezeigt.

Abgeschlossen wird die vorliegende Arbeit durch Messungen am Prototyp und dem Vergleich zwischen geforderten und erfüllten Parametern.

## 2. Frequenzsyntheseverfahren

Das folgende Kapitel gibt einen Überblick über die Möglichkeiten der Frequenzsynthese. Durch das Verständnis der vorgestellten Verfahren wird ermöglicht, das für die jeweilige Anwendung geeignete Methode auszusuchen. Da jedes Verfahren seine Vor- und Nachteile hat, geht man oft den Weg, diese zu kombinieren, um die verschiedenen Vorzüge nutzen zu können.

Unter einem Synthesizer versteht man ein Gerät, welches aus einer Quellfrequenz eine Vielzahl anderer Frequenzen erzeugt, die in irgendeiner Weise direkt oder indirekt von der Quellfrequenz abgeleitet sind.

### 2.1. Frequenzsyntheseverfahren

Die Verfahren zur Frequenzerzeugung lassen sich in analoge und digitale Verfahren einteilen. Innerhalb der analogen Verfahren unterscheidet man wiederum zwischen direkten und indirekten analogen Verfahren. Die Unterschiede werden in den folgenden Abschnitten aufgeführt.

#### 2.1.1. Direkte Analoge Synthese DAS

Bei der direkten analogen Synthese wird die Frequenz von einer analogen Frequenzquelle abgeleitet. Diese Quelle ist meistens ein frequenzstabiler Quarzoszillator.

Die erzeugte Frequenz wird über Misch-, Vervielfach- und Teilstufen in die gewünschte Frequenz umgesetzt. Durch die Ableitung verschiedener Grundfrequenzen aus der Oszillatorfrequenz und deren Kombination kann eine Vielzahl von Ausgangsfrequenzen generiert werden.

Die Bezeichnung "direkt" beruht auf der Tatsache, dass Frequenzschwankungen des Oszillators nicht korrigiert werden und auftretende Fehler sich im Ausgangssignal widerspiegeln. Ein Beispiel zeigt Abbildung 2.1. Dabei wurde am Ausgang des Mixers bewusst nur eine Mischfrequenz aufgeführt.

Da in erster Linie der verwendete Oszillator die spektrale Reinheit des Ausgangssignals bestimmt, erzielt man mit der direkten analogen Synthese in der Regel ein gutes Phasenrauschen. Weiterhin können die Umschaltzeiten zwischen verschiedenen Ausgangsfrequenzen durch Wahl schneller Bauteile (Schalter) äusserst kurz gehalten werden.

Durch geeignete Wahl der Vervielfacher und Mischer können aus einer niederfrequenten Quelle hohe Ausgangsfrequenzen erzielt werden. Durch die Verwendung von Frequenzteilern besteht die Möglichkeit, auch rationale Verhältnisse zwischen Quell- und

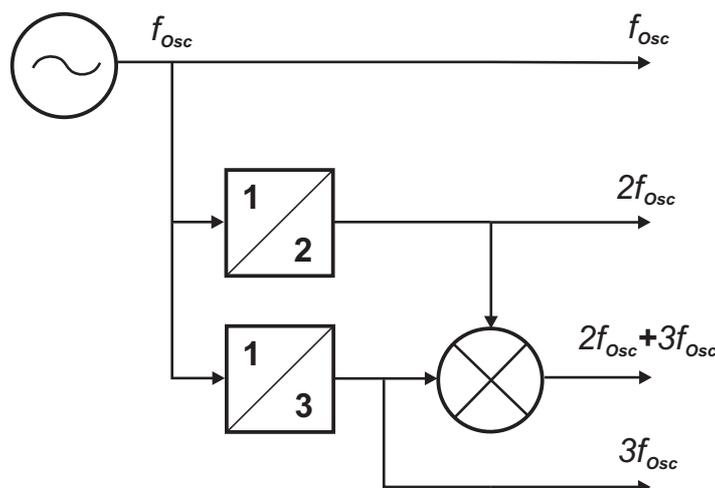


Abbildung 2.1.: Direkte Analoge Synthese (Beispiel).

Ausgangsfrequenz zu erzeugen.

### 2.1.2. Indirekte Analoge Synthese IAS

Auch hier dient als Frequenzquelle ein frequenzstabiler Oszillator. Die indirekte analoge Synthese bedient sich eines Regelmechanismus, der die Genauigkeit des Quelloszillators auf einen weniger stabilen Oszillator überträgt. Ziel ist es, eine höhere Frequenz oder einen Frequenzbereich am Ausgang der Signalkette zu erhalten.

Die indirekte analoge Synthese wird in Form einer Phasenregelschleife (engl. Phase Locked Loop, PLL) realisiert. Dabei wird das Ausgangssignal  $f_{VCO}$  eines spannungsgesteuerten Oszillators (engl. Voltage Controlled Oscillator, VCO) über eine Schleife an das festfrequente Vergleichssignal  $f_{comp}$  des Quelloszillators gekoppelt (Abbildung 2.2).

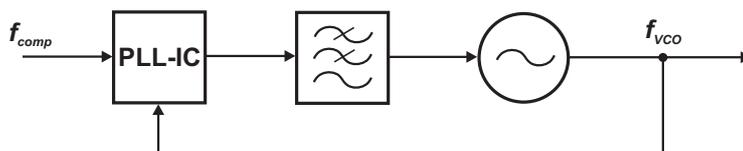


Abbildung 2.2.: Indirekte Analoge Synthese.

In einem Detektor wird der Phasenunterschied bestimmt und daraus ein Korrekturterm, der dem VCO zugeführt wird, abgeleitet.

Heutige PLL-Systeme verwenden ICs, in denen neben dem Detektor auch Frequenzteiler für das rückgekoppelte VCO-Signal als auch für das Vergleichssignal enthalten sind. Gleichung 2.1 stellt den Zusammenhang zwischen Vergleichs- und VCO-Frequenz dar.

$$f_{VCO} = \frac{N}{R} f_{comp} \quad (2.1)$$

Dabei ist  $N$  der Teilerfaktor von  $f_{VCO}$  und  $R$  der Teilerfaktor von  $f_{comp}$ .

Das Phasenrauschen wird von drei Faktoren bestimmt, der spektralen Reinheit des Vergleichssignals, der spektralen Reinheit des spannungsgesteuerten Oszillators und der Qualität des Detektors.

Der Phasenregelkreis wird in Kapitel 4 ausführlicher beschrieben.

### 2.1.3. Direkte Digitale Synthese DDS

Die beiden zuvor vorgestellten Verfahren beruhen auf einer rein analogen Frequenzerzeugung. Einen anderen Weg geht die direkte digitale Synthese (DDS).

Hierbei handelt es sich um eine rein digitale Synthetisierung des Ausgangssignals. Mit Hilfe eines analogen Taktsignals wird im diskreten Zeitbereich die gewünschte Wellenform generiert. Durch Digital-Analog-Wandlung wird das digital erzeugte Signal in ein analoges überführt.

Dieses Verfahren ist in der Lage, eine sehr hohe Frequenzauflösung bis in den  $\mu\text{Hz}$ -Bereich zu erzielen. Ein weiterer Vorteil sind die Vielzahl der Wellenformen, die am Ausgang generiert werden können. Weiterhin lassen sich Frequenzwechsel in sehr kurzer Zeit vollziehen. Das Verfahren ist aber an die Schnelligkeit der verwendeten digitalen Logik gebunden. Derzeit lässt sich mit kommerziell erhältlichen Systemen eine maximale Ausgangsfrequenz von bis zu 500 MHz erzielen.

Synthesizer nach dem Prinzip der direkten digitalen Synthese werden auch als Numeric Controlled Oscillator (NCO), numerisch kontrollierter Oszillator, bezeichnet. Da in der Synthetisierung des Ausgangssignals aber nichts oszilliert (schwingt), ist diese Begriffswahl etwas irreführend.

Das Prinzip der direkten digitalen Synthese wird in Kapitel 3 vorgestellt.

## 2.2. Konzepte

Zu Beginn der Diplomarbeit wurden mehrere Konzepte erstellt und auf ihre Machbarkeit überprüft. Zur Entscheidung, welches Konzept realisiert werden sollte, wurden mehrere Kriterien hinzugezogen, die sich mit den folgenden Fragen befassen:

- Welche Verfahren werden eingesetzt?
- Wie aufwändig ist die Realisierung (Anzahl der Baugruppen, Besonderheiten)?
- Wo können Probleme bei der Realisierung oder im späteren Betrieb auftauchen?
- Sind alle Bauteile und -gruppen erhältlich? Was kosten sie?
- Wie flexibel ist das Konzept auf Änderungen der Systemparameter?

Mit den in Abschnitt 2.1 vorgestellten Verfahren ist es nun möglich, ein Konzept zu entwerfen, welches die in Kapitel 1 gestellten Anforderungen erfüllen kann.

Mit der Abdeckung des Ku-Bands wird die Forderung gestellt, einen weiten Frequenzbereich abzudecken. Dies lässt sich am besten durch eine Kombination aus einer PLL mit einem abstimmbaren Oszillator und nachfolgenden Stufen zur Frequenzumsetzung realisieren. Da die Frequenzauflösung in einer PLL von der Wahl der Vergleichsfrequenz abhängig ist, ist hier keine beliebig kleine Auflösung erreichbar.

Hier kann die direkte digitale Synthese eingesetzt werden, mit der sehr feine Frequenzauflösungen erreichbar sind. Durch die Kombination aus DDS und PLL kann man über einen weiten Frequenzbereich eine sehr feine Frequenzauflösung erreichen, die mit einer konventionellen PLL nicht möglich wäre.

### 2.3. Konzeptvorschläge

Zu Beginn der Diplomarbeit wurden drei Konzepte entworfen, die in der Lage sind, die in Kapitel 1 gestellten Anforderungen zu erfüllen.

Alle drei Konzepte haben einen ähnlichen Aufbau und lassen sich jeweils in verschiedene Funktionsblöcke gliedern.

- Hohe Frequenzauflösung  
Durch den Einsatz eines DDS lassen sich sehr feine Schrittweiten zwischen benachbarten Frequenzpunkten erzielen.
- Großer Frequenzbereich  
Die Verwendung einer Phasenregelschleife mit einem weit abstimmbaren Oszillator ermöglicht es, einen großen Frequenzbereich abzudecken.
- Umsetzung in das Ausgangsband  
Mit Hilfe von Vervielfachern und Mischern lässt sich das komplette Ku-Band generieren.

Der Entwurf der Konzepte wurde von einer Bauteilrecherche der benötigten Baugruppen begleitet; es handelt sich also nicht nur um theoretische Entwürfe, sondern alle eingesetzten Komponenten sind erhältlich. Auf die Aufzählung der Komponenten soll aber für die beiden verworfenen Konzepte verzichtet werden. Bei allen Darstellungen wurden aus Gründen der Übersichtlichkeit Baugruppen wie Filter und Verstärker weggelassen, da es rein auf das Frequenzkonzept ankommt.

#### Konzept I

Abbildung 2.3 zeigt das Blockschaltbild des ersten Konzeptvorschlags.

- 1. Block  
Der erste Block hat die Aufgabe, eine feine Frequenzauflösung zu gewährleisten

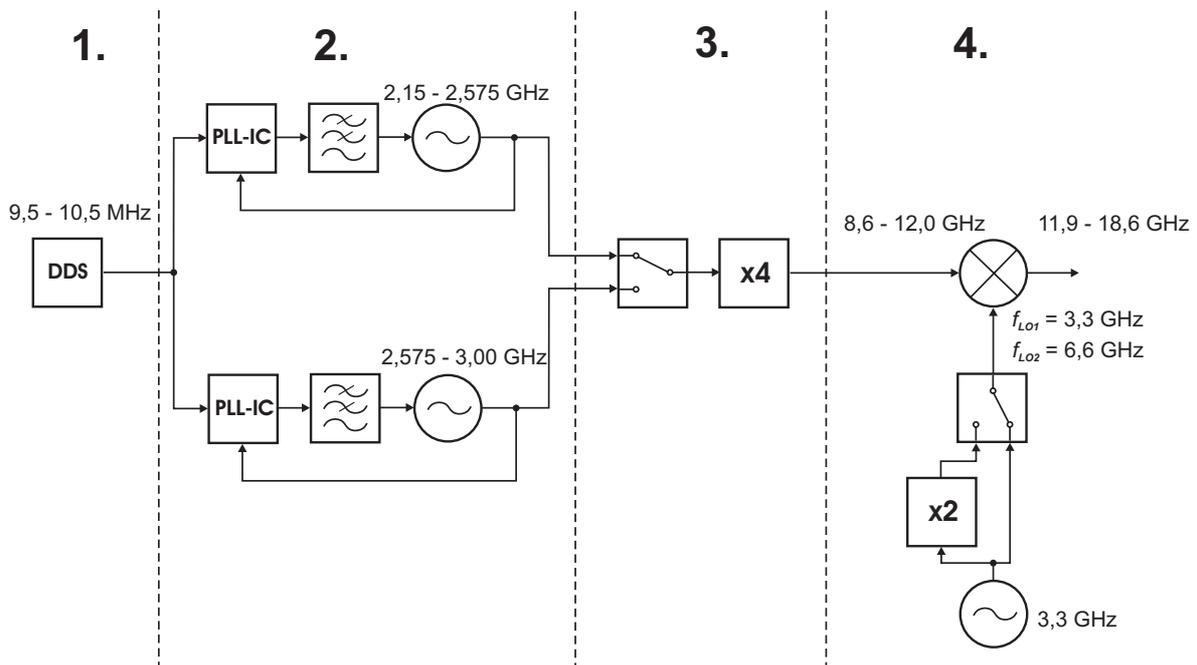


Abbildung 2.3.: Blockschaltbild Konzept I.

und basiert auf einem digitalen Synthesizer nach dem Prinzip des Direct Digital Synthesis. Die Ausgangsfrequenz beträgt 9,5–10,5 MHz und dient als Vergleichssignal für den zweiten Block. Damit ist eine abstimmbare, stabile “Referenz“frequenz gegeben.

- 2. Block

Der zweite Block besteht aus zwei voneinander getrennten PLLs, durch die die Frequenzerzeugung über einen weiten Frequenzbereich ermöglicht wird.

Die erste PLL umfasst einen Ausgangsfrequenzbereich von 2,15–2,575 GHz, die zweite PLL einen Bereich von 2,575–3,00 GHz. Die beiden Ausgangssignale werden über einen elektronischen Umschalter nach Bedarf weitergeleitet.

- 3. Block

Der dritte Block hat die Aufgabe, das Ausgangssignal der PLLs zu vervierfachen. Dazu werden zwei Frequenzverdoppler kaskadiert, die der Übersichtlichkeit halber im Blockschaltbild in Abbildung 2.3 durch einen Vervielfacher dargestellt wurde. Am Ausgang dieses Blocks steht dann ein Frequenzband von 8,6–12,2 GHz zur Verfügung.

- 4. Block

Der vierte Block nimmt die Umsetzung des Signals in das Ku-Band vor. Dazu wird das Eingangssignal 8,6–12,2 GHz mit den LO-Frequenzen<sup>1</sup>  $f_{LO1} = 3,3$  GHz und  $f_{LO2} = 6,6$  GHz gemischt. Die Frequenzen wurden so gewählt, dass lediglich

<sup>1</sup>LO steht für Local Oscillator und stellt eine festfrequente Referenzfrequenz dar.

ein Lokaloszillator und ein Frequenzverdoppler benötigt werden und durch Umschalten jeweils die gewünschte LO-Frequenz am Mischer anliegt.

Die Ausgangsbänder setzen sich wie folgt zusammen:

- $f_{LO1} = 3,3 \text{ GHz}$ : 11,9–15,3 GHz
- $f_{LO2} = 6,6 \text{ GHz}$ : 15,2–18,6 GHz

### Konzept II

Abbildung 2.4 zeigt das Blockschaltbild des zweiten Konzeptvorschlags.

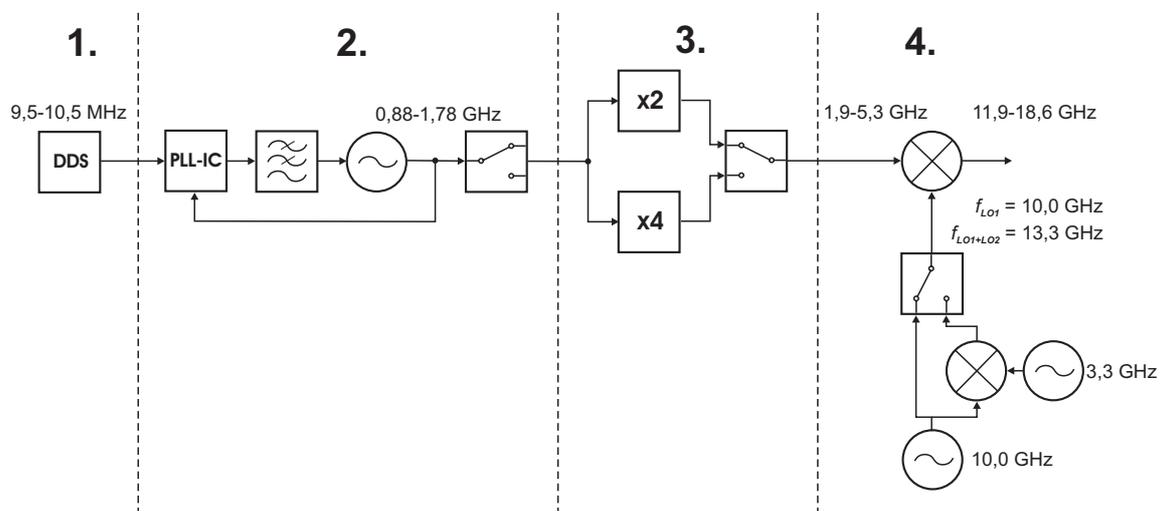


Abbildung 2.4.: Blockschaltbild Konzept II.

- 1. Block  
Auch hier befindet sich, wie bei Konzept I, ein DDS im ersten Block mit einer Ausgangsfrequenz von 9,5–10,5 MHz.
- 2. Block  
Durch die Verwendung eines Breitband-VCOs vereinfacht sich der Aufbau des zweiten Blocks. Als Vergleichssignal dient, wie in den anderen Konzepten, das DDS-Ausgangssignal. Die PLL erzeugt ein Frequenzband von 0,88–1,78 GHz.  
Der dritte Block teilt das PLL-Ausgangssignal auf zwei Zweige auf, die jeweils einen Frequenzbereich aus dem PLL-Ausgangsband weiterverarbeiten. Im ersten Zweig wird der Bereich 0,95–1,78 GHz verdoppelt, man erhält 1,90–3,56 GHz; am Ausgang des zweiten Zweiges stehen nach einer Vervierfachung des Bereichs 0,88–1,33 GHz schließlich 3,52–5,32 GHz zur Verfügung. Die Frequenzvervierfachung erfolgt mit Hilfe von kaskadierten Verdopplern. Auch hier wurde aus Gründen der Übersichtlichkeit das Symbol eines Vervierfachers in Abbildung 2.4 gezeichnet.

- 4. Block

Der vierte Block hat eine etwas aufwändigere Architektur. Das Eingangssignal mit 1,90–5,32 GHz wird aufwärtsgemischt mit Hilfe eines LO-Zweigs, der mit zwei Ausgangsfrequenzen arbeitet. Der primäre Lokaloszillator LO1 hat die Frequenz 10,0 GHz, der sekundäre Lokaloszillator LO2 die Frequenz 3,3 GHz. LO2 dient LO1 als Lokaloszillator. Am Mischer liegen damit je nach Schalterstellung  $f_{LO1} = 10,0$  GHz oder  $f_{LO1+LO2} = 13,3$  GHz an.

Am Ausgang des vierten Blocks und somit am Ausgang der Signalkette erhalten wir vier ineinander übergehende Frequenzbereiche, deren Zusammensetzung sich aus der Kombination von Vervielfacherzweig (dritten Block) und LO-Frequenz (vierter Block) ergibt:

- Verdoppler,  $f_{LO1} = 10,0$  GHz:  $f_{out} = 11,90$ – $13,55$  GHz
- Vervierfacher,  $f_{LO1} = 10,0$  GHz:  $f_{out} = 13,55$ – $15,30$  GHz
- Verdoppler,  $f_{LO1+LO2} = 13,3$  GHz:  $f_{out} = 15,20$ – $16,85$  GHz
- Vervierfacher,  $f_{LO1+LO2} = 13,3$  GHz:  $f_{out} = 16,85$ – $18,60$  GHz

### Konzept III

Auch das dritte Konzept läßt sich in vier Blöcke gliedern, die ebenfalls die Funktionen der Frequenzerzeugung, -vervielfachung und -umsetzung erfüllen. Dabei stellt Abbildung 2.5 das Blockschaltbild dar.

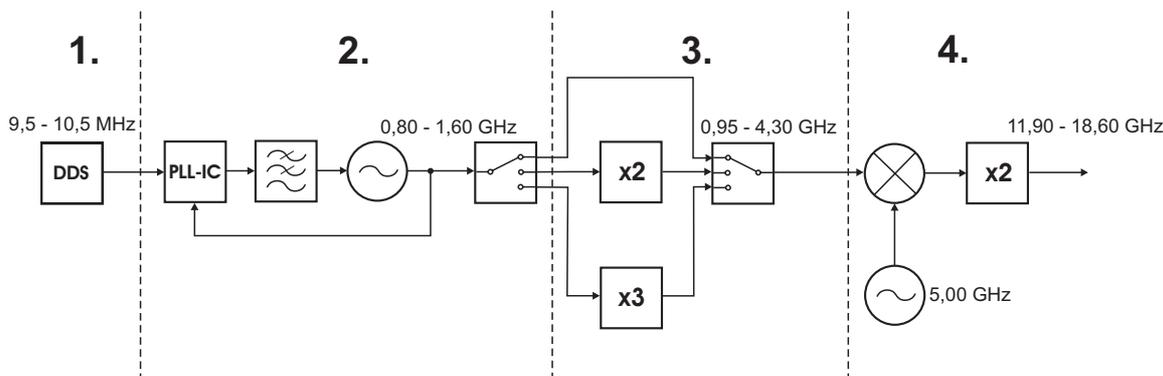


Abbildung 2.5.: Blockschaltbild Konzept III.

- 1. Block

Auch hier wird ein digitaler Synthesizer eingesetzt mit der gleichen Ausgangsfrequenz wie bei Konzept I und II.

- 2. Block

Der zweite Block besteht aus einer Breitband-PLL, die einen Ausgangsfrequenzbereich von 0,80–1,60 GHz hat. Damit hat der Abstimmbereich eine Bandbreite

von 0,8 GHz. Als Vergleichssignal dient auch hier das Ausgangssignal des digitalen Synthesizer aus dem ersten Block.

- 3. Block

Die Ausgangsfrequenz der PLL wird in drei getrennten Zweigen weiterverarbeitet. Der erste Zweig nimmt keine Änderung der Frequenzlage vor, über ihn wird der Bereich von 0,95–1,60 GHz weitergeführt, der den unteren Frequenzbereich darstellt. Der zweite Zweig verdoppelt den Frequenzbereich von 0,80–1,50 GHz. Am Ausgang stehen somit 1,60–3,00 GHz zur Verfügung. Im dritten Zweig befindet sich ein Verdreifacher, der den Frequenzbereich von 1,00–1,43 GHz auf den Bereich 3,00–4,30 GHz umsetzt.

- 4. Block

Das gesamte Ausgangsband von 0,95–4,30 GHz wird im vierten Block aufwärts gemischt, die LO-Frequenz beträgt dabei  $f_{LO} = 5,00$  GHz. Nach einer weiteren Frequenzverdopplung ergibt sich am Ausgang der Signalkette ein Ausgangsfrequenzbereich von 11,90–18,60 GHz.

## 2.4. Entscheidungskriterien

Da in allen drei Konzepten der erste Block aus einem digitalen Synthesizer (DDS) mit einem Abstimmbereich von 9,5–10,5 MHz verwendet wird, der die Aufgabe hat, eine hohe Frequenzauflösung zu generieren, werden im Folgenden die nachfolgenden 3 Blöcke miteinander verglichen.

Konzept I benötigt im zweiten Block zwei Phasenregelschleifen. Dies bedeutet im Gegensatz zu Konzept II und III, die beide mit jeweils einer PLL auskommen, einen höheren Aufwand. Neben dem Entwurf und dem Aufbau gestaltet sich auch die spätere Implementierung in eine Bedienungssoftware aufwändiger.

Zwischen Konzept II und III gibt es bezüglich des zweiten Blocks keine großen Unterschiede, die Frequenzbereiche sind fast identisch, Konzept II hat lediglich eine leicht größere Bandbreite.

Die Realisierung des dritten Blocks bringt bei allen drei Konzepten einen vergleichbaren Aufwand mit sich. Grundsätzlich wurde nach passiven Frequenzvervielfachern recherchiert, um die Anzahl an benötigten Spannungsversorgungen möglichst gering zu halten.

Die Frequenzvervielfachung von Konzept I erfordert die Kaskadierung zweier Frequenzverdoppler, da es zum Zeitpunkt der Bauteilrecherche keinen passenden Frequenzvervielfacher auf dem Markt gab<sup>2</sup>.

Die Frequenzvervielfachung in Konzept II wird über zwei getrennte Zweige vorgenommen. Neben einem auf dem Markt erhältlichen Frequenzverdoppler wird die Vervierfachung im zweiten Zweig durch die Kaskadierung von Verdopplern vollzogen.

---

<sup>2</sup>Stand April 2003

Konzept III gliedert den dritten Block in drei getrennte Zweige. Da der erste Zweig keine weitere Verarbeitung seines Eingangsfrequenzbereichs vornimmt, gestaltet sich die Realisierung äußerst einfach. Die weiteren Zweige nehmen eine Verdopplung bzw. eine Verdreifachung des jeweiligen Frequenzbereichs vor. Für beide Zweige sind die entsprechenden Bauteile (Verdoppler, Verdreifacher als IC) erhältlich.

Die Kaskadierung von passiven Verdopplern in Konzept I und II bringt durch den Einsatz von Verstärkungsstufen einen erhöhten Bauteilaufwand mit sich. Diese Verstärker werden benötigt, da in der Regel der Ausgangspegel von passiven Verdopplern zu niedrig ist, um einen weiteren Verdoppler anzusteuern.

Im vierten Block verfolgen alle drei Konzepte einen ähnlichen Aufbau. Lediglich wird in Konzept III nach der Aufwärtsmischung eine weitere Frequenzverdopplung vorgenommen.

Konzept I hat den Nachteil, dass sich die Eingangs- und Ausgangsfrequenzbereiche am Mischer überschneiden. Bei ungenügender Isolation der Eingänge des Mixers würden somit auch Leistungsanteile der Eingangsfrequenz am Ausgang messbar sein.

Sowohl in Konzept I als auch in Konzept II gestaltet sich der Aufbau des LO-Zweigs sehr aufwändig. Beide Konzepte arbeiten mit zwei LO-Frequenzen. Diese werden realisiert mit einem zusätzlichen Verdoppler (Konzept I) oder mit einem weiteren Lokaloszillator und einem Mischer (Konzept II). Konzept III hingegen benötigt nur eine LO-Frequenz und somit nur einen Lokaloszillator. Der aufwändigere Aufbau des vierten Blocks bei Konzept I und II bringt neben einem größeren technischen auch einen erhöhten finanziellen Aufwand mit sich. Ein weiterer Nachteil der ersten beiden Konzepte ist der zusätzlich benötigte Umschalter zur Auswahl der LO-Frequenz, den eine Integration der Konzepte in den Messaufbau mit sich bringen würde.

Vergleicht man nun die drei vorgestellten Konzepte und bewertet die zuvor genannten Entscheidungskriterien, so fällt die Wahl auf Konzept III.

## 2.5. Spezifikationen zu Konzept III

In Abschnitt 1.3 wurde der Anwendungszweck des Synthesizers genannt. Nach dem Synthesizer mit  $f_{out} = 11.9\text{--}18.6$  GHz folgt ein Verneunfacher, um das Ausgangssignal ins D-Band bei 110–170 GHz umzusetzen.

Im D-Band wird eine Frequenzauflösung von mindestens 1 MHz gefordert. Rechnen wir die Auflösung mit Hilfe der Konzeptübersicht aus Abschnitt 2.3 herunter bis zur PLL, so erhalten wir jeweils am Eingang der genannten Komponente:

- Verneunfacher: 110 kHz
- vierter Block, Verdoppler: 55 kHz
- dritter Block, Verdreifacher: 18 kHz

Der dritte Block beinhaltet neben dem Verdreifacher noch einen Verdoppler, es wurde aber der Verdreifacher gewählt, da er am Eingang die feinste Auflösung des dritten

Blocks benötigt.

Setzen wir nun  $N = 150$  ( $f_{VCO} = 1,5$  GHz), sollte der DDS eine Auflösung von ca. 120 Hz bieten. Ob dies möglich ist, in Kapitel 3 geklärt.

### 3. DDS

DDS steht für Direct Digital Synthesis und bedeutet die Erzeugung eines Signals im diskreten Zeitbereich und anschließende Digital-Analog-Wandlung. Die Entwicklung dieses Syntheseverfahrens geht zurück auf ein Patent aus dem Jahre 1970, das von Joseph A. Webb eingereicht wurde [1]. Er beschreibt darin die mathematische Darstellung einer Wellenform und deren Erzeugung durch Verwendung digitaler Logik.

Der DDS hat in diesem Konzept die Aufgabe, eine feine Frequenzauflösung zu erzeugen und dient der nachfolgenden Phasenregelschleife als Vergleichssignal. Dabei wird er mit einer Clockfrequenz  $f_{clk} = 50 \text{ MHz}$  gespeist und erzeugt am Ausgang eine Frequenz  $f_{out} = 9,5\text{--}10,5 \text{ MHz}$ .

#### 3.1. Architektur

Ein DDS besteht im Wesentlichen aus 3 Funktionsblöcken:

- Zähler und Phasenregister
- Datenregister (ROM)
- D/A-Wandler

Bild 3.1 zeigt ein Blockschaltbild des Aufbaus, der hier erläutert wird.

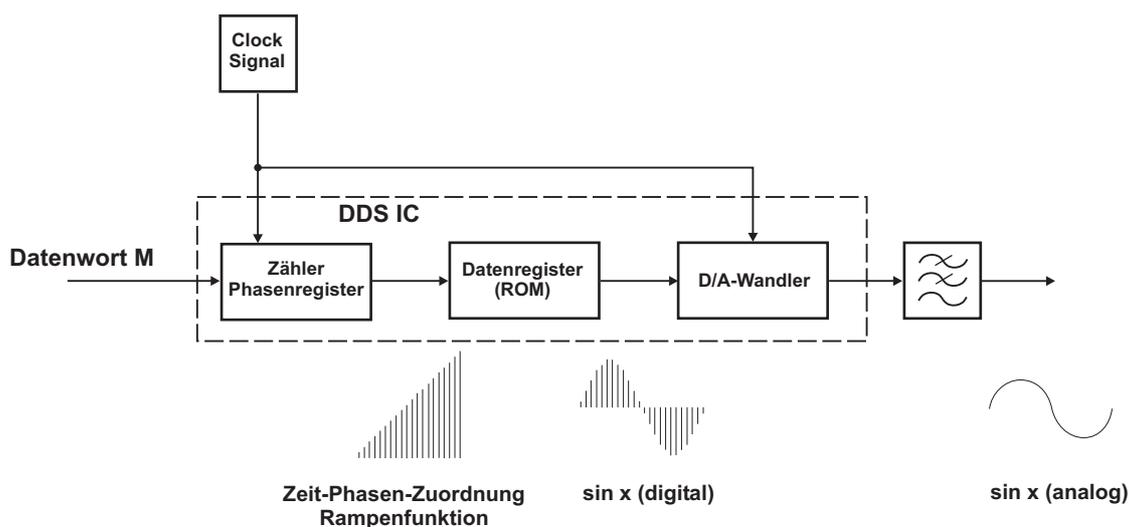


Abbildung 3.1.: Grundlegender Aufbau eines DDS-Chips.

Ein Clocksignal (Clock) der Frequenz  $f_{clk}$ , welches für die Zeitsteuerung innerhalb des

DDS benötigt wird, wird mit Hilfe eines Skalierungsfaktors, der als Datenwort  $M$  bezeichnet wird, heruntergeteilt [2]. Die Länge  $N$  des Datenworts (engl. tuning word) beträgt je nach Hersteller zwischen 24 und 48 bit. Die Länge des Datenworts bestimmt auch die minimal erreichbare Frequenzauflösung  $f_{step}$  :

$$f_{step} = \frac{f_{clk}}{2^N} \quad (3.1)$$

### Zähler und Phasenregister

Zähler und Phasenregister bilden eine Einheit, dabei dient das Ausgangssignal des Zählers als Eingangssignal des Phasenregisters.

Beim Zähler handelt es sich um einen variablen Modulus- $M$ -Zähler, der zum aktuell vorliegenden Wert mit dem Takt  $f_{clk}$  das Datenwort  $M$  addiert. Das Phasenregister hat die Aufgabe, jedem eingehenden Zahlenwert einen Phasenwert zuzuweisen. Im Phasenregister liegen die Phasenwerte mit einer Auflösung von  $N$  bit vor.

Bei Überlauf springt der Zähler wieder an den Anfang, ohne auf null gesetzt zu werden, das Auslesen der Phasenwerte im Phasenregister wird dadurch kontinuierlich fortgesetzt. Änderungen des Datenworts  $M$  sind zu jedem Zeitpunkt möglich. Es ist ersichtlich, dass ein größerer Wert  $M$  zu einer höheren Ausgangsfrequenz führt.

Das Ausgangssignal des Phasenregisters ist eine lineare Rampenfunktion, die dem anschließenden Datenregister zugeführt wird.

### Datenregister

Das Datenregister beinhaltet die digitale Amplitudeninformation einer Wellenform über eine Periode. Jedem Phasenwert aus dem Phasenregister wird eindeutig der entsprechende Amplitudenwert zugewiesen. Das Datenregister arbeitet somit als Phasen-Amplituden-Konverter.

Beim Datenregister handelt es sich um einen programmierbaren Speicher (PROM, Programmable Read-Only Memory), dessen Dateninhalt je nach geforderter Genauigkeit sehr groß ausfallen kann. Man bedient sich verschiedener Methoden, den Speicherinhalt kompakt zu halten. Eine Methode ist es, die Periodizität einer Wellenform zu nutzen und nur einen Bruchteil der Amplitudeninformation abzulegen. Durch Logik wird dann die komplette Periode rekonstruiert.

Grundsätzlich lassen sich verschiedenste periodische Wellenformen darstellen. Die Wellenform wird einzig durch die im Datenregister abgelegten Amplitudenwerte bestimmt. Am gängigsten ist aber die Darstellung eines Sinus-Signals.

### D/A-Wandler

Der Digital-Analog-Wandler hat die Aufgabe, die am Ausgang des Datenregisters vorliegende digitale Darstellung einer Wellenform in ein analoges Ausgangssignal zu wandeln. Dabei kommt dem Wandler als Schnittstelle zwischen digitaler und analoger Technik

sehr große Bedeutung zu: die Genauigkeit des Wandlers wirkt sich direkt auf die Qualität des analogen Ausgangssignals aus. Auf diesen Zusammenhang wird näher in 3.2.2 eingegangen.

## 3.2. Details

Heutige DDS-Systeme werden als hochintegrierte Bausteine geliefert. Die kompakte Bauweise und die hohe Reproduzierbarkeit sind nur zwei der vielen Vorteile eines DDS-Systems [2],[3]:

- Durch kleine Schrittweiten  $\Delta f < 1 \text{ mHz}$  ist eine hohe Frequenzauflösung erzielbar.
- Durch schnelle Frequenzwechsel ist die Ausgangsfrequenz in  $t < 1 \mu\text{s}$  veränderbar. Dabei tritt kein Überschwingen und Einrastverhalten wie bei analogen Synthesizern auf.
- Ein niedriges Phasenrauschen, dass in erster Linie durch die spektrale Reinheit des Referenzsignals und die Auflösung des D/A-Wandlers bestimmt wird, kann erreicht werden.
- Kontinuierliche Frequenzwechsel sind möglich, d. h. es gibt keinen Phasensprung bei Änderung der Ausgangsfrequenz.
- Die digitale Architektur wird kaum von Temperaturschwankungen und Alterungsprozessen beeinflusst.
- Der Einsatz von Modulationsverfahren gestaltet sich einfach durch direkte Kontrolle der Daten im diskreten Zeitbereich.

Eine solche Vielseitigkeit lässt sich mit alternativen Synthesizerkonzepten nur in Verbindung mit großem technischen Aufwand und hohen Kosten erreichen.

Problemlos gestaltet sich die Integration und der Betrieb eines DDS-Systems jedoch nicht. Einige Dinge sind zu beachten:

- Das Ausgangssignal ist ein synthetisiertes Signal, das den Abtastbedingungen nach Shannon und Nyquist unterliegt. Dadurch ist in der Praxis die maximale Ausgangsfrequenz auf maximal 45 % des Clocksignals beschränkt. Dies wird in Abschnitt 3.2.1 näher erörtert.
- Die spektrale Reinheit des Ausgangssignals ist stark abhängig von der Qualität des verwendeten DDS-Bausteins, der Qualität des Clocksignals und den gewählten Parametern.

Diese Punkte spielen für die Realisierung und die Verwendung eines DDS eine wichtige Rolle, daher wird im folgenden Abschnitt näher darauf eingegangen.

### 3.2.1. Abtastbedingung

Für das Verständnis des DDS-Ausgangssignals bedient man sich der Sampling-Theorie. Das Ausgangssignal des DDS unterliegt dem Abtasttheorem. Dieses besagt, dass ein Signal, welches fehlerfrei rekonstruiert werden soll, mit mindestens der doppelten Frequenz der im Signal höchsten vorkommenden Frequenz abgetastet werden muss. Dieser Zusammenhang gilt sowohl bei der Konstruktion als auch bei der Rekonstruktion des Signals. Für das DDS-Ausgangssignal folgt somit

$$f_{out,max} \leq \frac{1}{2} f_{clk} \quad (3.2)$$

Nun entstehen am Ausgang aber neben der gewünschten Ausgangsfrequenz auch Signalanteile, die sich als Mischprodukte aus Referenzfrequenz  $f_{clk}$  und gewünschter Ausgangsfrequenz  $f_{out}$  nach der Formel

$$n f_{clk} \pm f_{out} \quad n = 0, 1, 2, \dots \quad (3.3)$$

bestimmen lassen. Diese Signalanteile sind sogenannte *Aliases* (Pseudosignale), die bei der Synthetisierung entstehen.

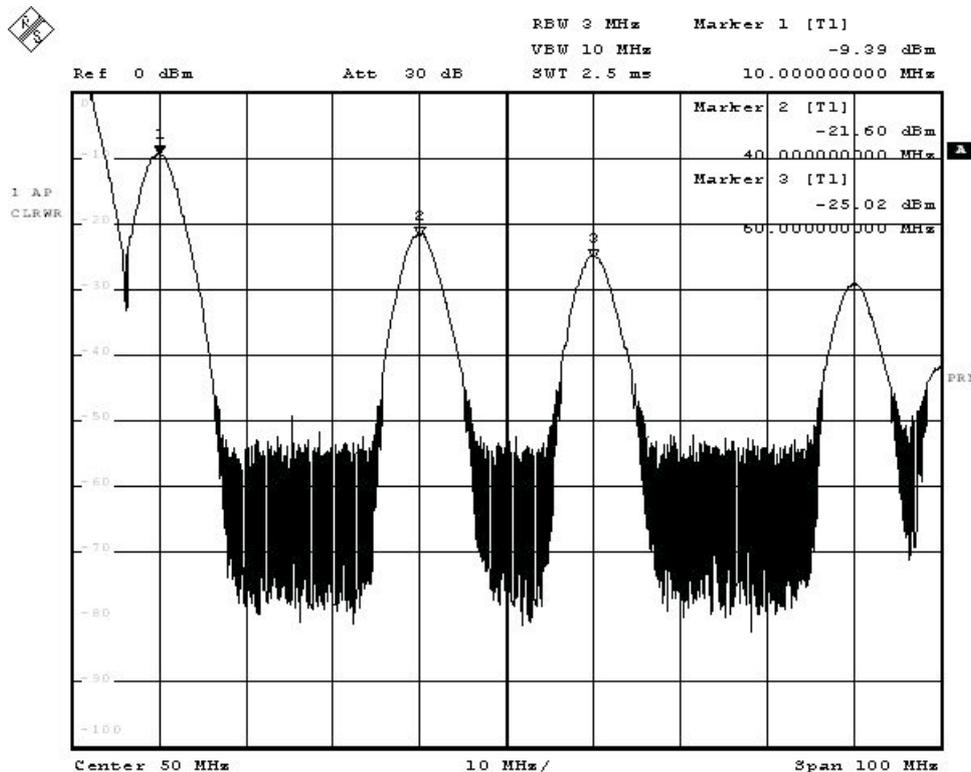


Abbildung 3.2.: Ausgangssignal des DDS ohne Filter.

Im folgenden Beispiel wurde mit einer Clockfrequenz von  $f_{clk} = 50$  MHz eine Ausgangs-

frequenz von  $f_{out} = 10$  MHz synthetisiert. Somit entstehen als Mischprodukte Signalanteile bei  $50 \text{ MHz} \pm 10 \text{ MHz}$ , bei  $100 \text{ MHz} \pm 10 \text{ MHz}$  usw. Bild 3.2 zeigt das Ausgangsspektrum des DDS bis 100 MHz. Die Clockfrequenz selber wird unterdrückt. Es sei angemerkt, dass die Signalanteile ein Amplitudenverhalten nach  $\frac{\sin x}{x}$  aufweisen, was an der Quantisierung des Ausgangssignals liegt.

Die gängige Art der Unterdrückung dieser Signalanteile ist die Verwendung eines Tiefpassfilters am Ausgang des DDS nach dem internen Digital-Analog-Wandlers. Bei der Bestimmung der Parameter sollte man daher darauf achten, die Ausgangsfrequenz nicht größer als 45 % der Clockfrequenz zu wählen, um den Filteraufwand so gering wie möglich zu halten.

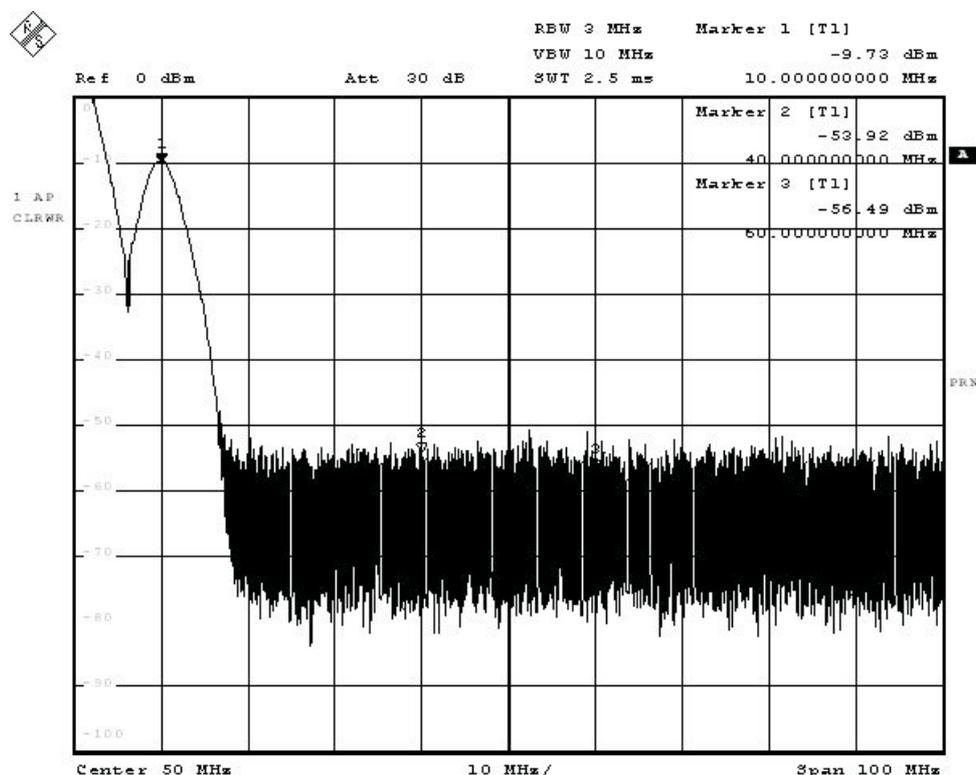


Abbildung 3.3.: Ausgangssignal des DDS nach TP-Filterung.

Bild 3.3 zeigt das zuvor gezeigte Ausgangsspektrum, nachdem ein Tiefpassfilter eingesetzt wurde. Die höherfrequenten Signalanteile wurden durch das Tiefpassfilter um mindestens 30 dB unterdrückt.

Grundsätzlich besteht auch die Möglichkeit, sich das Entstehen dieser Aliase durch Bandpassfilterung einer Mischfrequenz am Ausgang zunutze zu machen. Dadurch kann man mit einer kleineren Clockfrequenz ein höheres Ausgangssignal erhalten. Dabei ist zu achten, die Clockfrequenz  $f_{clk}$  und die Grundausgangsfrequenz  $f_{out}$  so zu wählen, dass

die Aliase nicht zu nah an der Filtergrenze liegen, um den Filteraufwand klein zu halten.

### 3.2.2. Spektrale Reinheit

#### Clockfrequenzquelle

Die Qualität des Clocksignals spiegelt sich im Ausgangssignal wider [2]. Die wesentlichen Beschreibungsmerkmale sind *Frequenzstabilität* (in ppm der Mittenfrequenz), *Phasenrauschen* (in dBc/Hz) und *Jitter* (in ps oder ns).

Die *Frequenzstabilität* wird in Langzeitmessungen ermittelt und zeigt auf, wie groß die Frequenzdrift über einen größeren Zeitraum ist.

Das *Phasenrauschen* beschreibt kurzzeitige Schwankungen der Frequenz; das Phasenrauschen des Clocksignals addiert sich zum Phasenrauschen des DDS-Bausteins, es wird aber um

$$20 \log \frac{f_{out}}{f_{clk}} \quad (3.4)$$

reduziert. Dies ist auf das Herunterteilen der Clockfrequenz zurückzuführen.

*Jitter* ist das englische Wort für Schwankung und bezeichnet zeitliche Fehler in Signalen. Es gibt eine Vielzahl von Definitionen, da Jitter mehrere Ursachen und daher auch verschiedene Erscheinungsformen hat. Eine davon ist der *Edge Jitter*, der sich als zeitliche Abweichung bezüglich eines idealen Periodendurchgangs beschreiben lässt. Der Edge Jitter eines Clocksignals zeigt sich auch im synthetisierten Ausgangssignals, da er im Digital-Analog-Wandler die Zuweisung der Amplitudenwerte zu den entsprechenden Phasenwerten beeinflusst und verfälscht.

#### Quantisierungsfehler

In einem DDS gibt es im Wesentlichen zwei Quellen für Quantisierungsfehler; einerseits bei der Synthetisierung der Ausgangsfrequenz und andererseits bei der Wandlung des digital vorliegenden Signals in ein analoges Ausgangssignal.

- Phasenregister und ROM

Um den Speicheraufwand im ROM möglichst gering zu halten, wird nicht die Amplitudeninformation für jedes der  $N$  bit des Phasenregisters abgelegt, vielmehr wird das Auslesen der Phaseninformation im Phasenregister mit einer geringeren Auflösung durchgeführt. Dabei entstehen Fehler durch Approximation des tatsächlichen Phasenwertes [2]. Das Ergebnis sind periodisch auftretende Auslesefehler.

Eine saubere Zuordnung der Phasenwerte zu den getakteten Zeitpunkten kann nur erfolgen, wenn der Abtastfaktor  $R$ , der durch

$$R = \frac{f_{clk}}{f_{out}} \quad (3.5)$$

gegeben ist, ganzzahlig ist. Ist  $R$  nicht ganzzahlig, kommt es zu Phasenfehlern, die sich im Ausgangsspektrum des synthetisierten Signals als Nebenlinien, sogenannte *Spurious*, bemerkbar machen [4]. Da auch die Phaseninformation quantisiert ist, kann man auftretende Phasenfehler auch als Quantisierungsfehler bezeichnen.

Weiterhin führt die begrenzte Amplitudendarstellung im ROM zu Quantisierungsrauschen in der Amplitude, dies spielt aber eher eine untergeordnete Rolle.

- D/A-Wandler

Der Digital-Analog-Wandler (DAC, Digital Analog Converter) hat die Aufgabe, aus dem digital (diskret) vorhandenen Ausgangssignal das analoge (kontinuierliche) Ausgangssignal zu rekonstruieren. Die Auflösung des DAC (in bit) ist begrenzt. Bei der Rekonstruktion des Signals entsteht somit im schlimmsten Fall zu jedem Zeitpunkt der Wellenform eine Abweichung zwischen dem eigentlichen und dem tatsächlichen Amplitudenwert. Diese Abweichung bezeichnet man als Quantisierungsfehler [2].

Abbildung 3.4 verdeutlicht den Zusammenhang: der als Bogen dargestellte Verlauf wird durch die begrenzte Amplitudenauflösung in Form von Treppenstufen dargestellt.

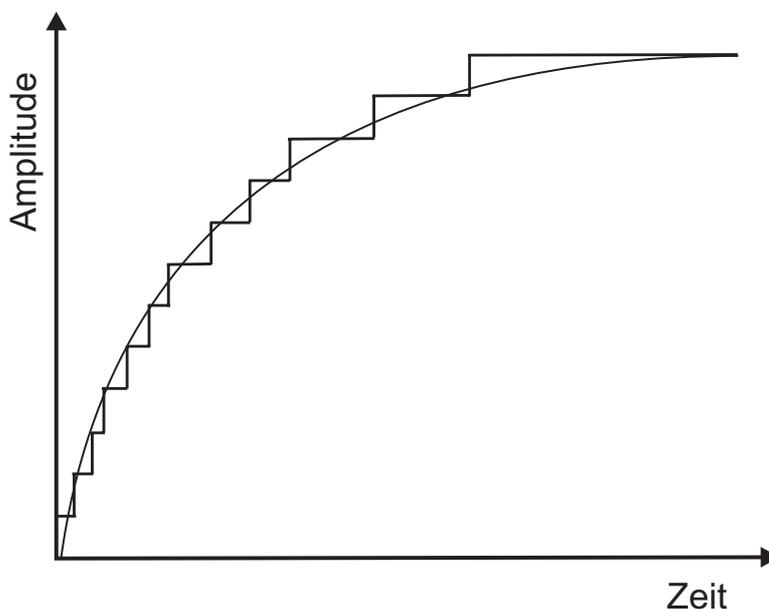


Abbildung 3.4.: Fehler des DAC bei Rekonstruktion

Quantisierungsfehler zeigen sich im Zeitbereich als Treppenform im Signalverlauf, im Frequenzbereich als hochfrequente Anteile im Ausgangssignal, die innerhalb der Nyquistbandbreite, d. h. der halben Abtastfrequenz (also Clockfrequenz), liegen. Für das Ausgangssignal bedeutet dies, dass periodisch um den Träger *Spurious*, also Nebenlinien, entstehen [4].

Quantisierungsfehler führen zu Quantisierungsrauschen, dass sich über die gesamte Bandbreite der Clockfrequenz verteilt. Daher ist es sinnvoll,  $f_{clk}$  groß genug zu wählen, da Quantisierungsfehler nur von der Auflösung des DAC abhängig sind. Somit wird die Leistung des Quantisierungsrauschen über die gesamte Bandbreite verteilt und das Signal-zu-Rausch-Verhältnis steigt.

Für die Wahl des DDS-Bausteins heißt das, einen Baustein mit einem DAC mit großer Auflösung zu wählen. Aktuelle DACs haben gewöhnlich eine 10 bit-Auflösung. Bei der Auslegung der Parameter ist darauf zu achten, die Referenzfrequenz groß genug zu wählen.

Sowohl die Spurious durch den Phasenfehler als auch die Spurious durch den DAC-Fehler entstehen bei den gleichen Frequenzen. Diese Frequenzen lassen sich berechnen. [5] stellt Formeln auf, die zur Berechnung der Spurious-Frequenzen dienen. Die Gültigkeit dieser Formeln lässt sich mit Hilfe der Diskreten Fourier Transformation (DFT) beweisen.

Den Frequenzabstand der Spurious erster Ordnung  $\Delta f_1$  vom Träger bestimmt man mit

$$\Delta f_1 = \begin{cases} f_{out} \cdot [\text{mod}(f_{clk}, f_{out})], & \text{mod}(f_{clk}, f_{out}) \leq 0.5 \\ f_{out} \cdot [1 - \text{mod}(f_{clk}, f_{out})], & \text{mod}(f_{clk}, f_{out}) > 0.5 \end{cases} \quad (3.6)$$

Damit ergibt sich für die Spurious-Frequenz  $f_{sp1}$

$$f_{sp1}(n) = f_{out} \pm n \cdot \Delta f_1, \quad n = 1, 2, 3, \dots \quad (3.7)$$

Gleichung 3.7 zeigt die Periodizität der Spurious-Frequenzen auf.

Für Spurious-Frequenzen höherer Ordnung ( $k \leq 2$ ) gilt:

$$\Delta f_k = \begin{cases} f_{out} \cdot [\text{mod}(f_{clk}, \Delta f_{k-1})], & \text{mod}(f_{clk}, \Delta f_{k-1}) \leq 0.5 \\ f_{out} \cdot [1 - \text{mod}(f_{clk}, \Delta f_{k-1})], & \text{mod}(f_{clk}, \Delta f_{k-1}) > 0.5 \end{cases} \quad (3.8)$$

Um die Spurious-Frequenz k-ter Ordnung zu bestimmen, wird in Gleichung 3.7  $\Delta f_1$  durch  $f_k$  ersetzt.

Zu Beginn dieses Abschnitts wurde der Abtastfaktor  $R$  eingeführt, der das Verhältnis von Clockfrequenz zu Ausgangsfrequenz darstellt. Ist  $R$  nicht geradzahlig, entstehen beim Auslesen der Amplitudenwerte im ROM Phasenfehler. Diese Phasenfehler führen zu sich periodisch um den Träger ausbildenden Nebenlinien. Der Pegel dieser Nebenlinien spielt nun für den Betrieb eines DDS eine wichtige Rolle.

Die Hersteller von DDS-Bausteinen geben in den Datenblättern den sogenannten Spurious Free Dynamic Range SFDR an. Dies ist der minimale Abstand zwischen Trägerleistung und Leistung der stärksten Nebenlinie, der für den Betrieb garantiert wird. Gemessen wird der SFDR in dBc. Die Angabe des SFDR im Datenblatt erfolgt immer im Zusammenhang mit einer bestimmten Clockfrequenz und der Ausgangsfrequenz. Dabei unterscheidet ANALOG DEVICES zwischen schmalbandigen und breitbandigen

(Nyquist-Bandbreite) Angaben.

Wird nun das DDS-Ausgangssignal multipliziert, so verschlechtert sich der SFDR um den Faktor

$$20 \log \frac{f_{out}}{f_{in}} \quad (3.9)$$

wobei  $f_{in}$  die Eingangsfrequenz und  $f_{out}$  die Ausgangsfrequenz ist.

Dieser Zusammenhang gilt bei einfacher Frequenzvervielfachung als auch bei der Verwendung des DDS-Ausgangs als Vergleichssignal für eine Phasenregelschleife.

### Phasenrauschen des DDS

Das Phasenrauschen am Ausgang des DDS setzt sich zusammen aus dem Phasenrauschen des Clocksignals (verbessert nach Gleichung 3.4) und dem Phasenrauschen, welches im DDS hinzugefügt wird, das sogenannte *Residual Phase Noise* (Restphasenrauschen). Dieses ist üblicherweise dem Datenblatt entnehmbar und beträgt ca. - 130 dBc bei einer Trägerablage von 1 kHz. Das Phasenrauschen des Ausgangssignals wird nach unten durch das Residual Phase Noise beschränkt.

Ein Beispiel soll dies verdeutlichen: es wird mit einer Clockfrequenz  $f_{clk} = 10$  MHz eine Ausgangsfrequenz  $f_{out} = 1$  MHz synthetisiert. Die Referenz hat ein Phasenrauschen von - 125 dBc @ 1 kHz. Dieses wird nach Gleichung 3.4 um  $20 \log \frac{1}{10} \triangleq 20$  dB verbessert. Das Phasenrauschen des Ausgangssignals wird aber nie besser werden können als das Residual Phase Noise des DDS.

Es macht daher keinen Sinn, bei der Auswahl der Clockfrequenzquelle ausschliesslich auf ein niedriges Phasenrauschen zu schauen, da die untere Grenze des DDS-Phasenrauschen durch das Residual Phase Noise gegeben wird [2].

### 3.3. Parameter

Im Folgenden werden die wichtigsten Parameter zur Inbetriebnahme eines DDS aufgeführt. Dabei handelt es sich um Parameter, die die HF-Eigenschaften des DDS-Ausgangssignals bestimmen.

In Kapitel 3.1 wurde schon der Zusammenhang zwischen der Clockfrequenz  $f_{clk}$  und der Länge  $N$  des Datenworts  $M$  dargestellt; für die *Frequenzauflösung*  $f_{step}$  gilt

$$f_{step} = \frac{f_{clk}}{2^N} \quad (3.10)$$

Die Frequenzauflösung lässt sich durch Verändern der Clockfrequenz beeinflussen (Die Länge  $N$  des Datenworts ist ein bauteilspezifischer Wert).

Nun können wir die *Ausgangsfrequenz*  $f_{out}$  bestimmen. Diese setzt sich aus dem Produkt aus Frequenzauflösung  $f_{clk}$  und dem aktuellen Datenwort  $M$  zusammen:

$$f_{out} = \frac{M}{2^N} f_{clk} \quad (3.11)$$

Gleichung 3.11 zeigt, dass es sich bei der Ausgangsfrequenz  $f_{out}$  um einen Bruchteil des Referenzsignals  $f_{clk}$  handelt.

Die *maximale Ausgangsfrequenz*  $f_{out,max}$  wird durch das Abtasttheorem von Shannon bestimmt, welches besagt, dass die Ausgangsfrequenz maximal die halbe Clockfrequenz beträgt:

$$f_{out,max} \leq \frac{1}{2} f_{clk} \quad (3.12)$$

In der Praxis werden Werte von 45 % aus Gründen der Eindeutigkeit nicht überschritten.

Da es sich am Ausgang um ein synthetisiertes Signal handelt, beinhaltet dies neben dem gewünschten Ausgangssignal auch weitere Mischprodukte, sogenannte Aliase. Diese setzen sich nach

$$n f_{clk} \pm f_{out} \quad n = 0, 1, 2, \dots \quad (3.13)$$

aus der Ausgangsfrequenz  $f_{out}$  und der Referenzfrequenz  $f_{clk}$  zusammen.

### 3.4. Realisierung

Dieser Diplomarbeit stand ein Evaluation Board von ANALOG DEVICES zur Verfügung. Bestückt ist es mit dem DDS-Baustein AD9850 [6]. Der AD9850 lässt eine maximale Clock-Frequenz  $f_{clk}$  von 125 MHz zu und kann damit theoretisch eine maximale Ausgangsfrequenz  $f_{out}$  von 62,5 MHz erzeugen. Das tuning word hat eine Länge von 32 bit, erhältlich ist der Baustein in einem 28-pin SSOP-Gehäuse<sup>1</sup>.

Die Bedienung des Evaluation Boards wird mit der mitgelieferten Software durchgeführt. Zur äußeren Beschaltung wird neben der Spannungsversorgung noch eine Signalquelle für die Clockfrequenz benötigt.

Erste Ergebnisse des DDS wurden in Abschnitt 3.2.1 gezeigt. Abbildung 3.3 zeigt das Ausgangssignal  $f_{out} = 10,0$  MHz, welches mit einer Taktfrequenz  $f_{clk} = 50$  MHz erzeugt wurde.

Für den hier verwendeten DDS-Baustein AD9850 gibt Analog Devices SFDR-Werte besser 50 dBc an.

Das Auftreten der Spurious und deren Leistung lässt sich direkt am Ausgang der DDS-Schaltung messen; für uns aber von größerem Interesse ist die Verschlechterung des PLL-Ausgangsspektrums am Ausgang des zweiten Blocks. Dies soll in Kapitel 7 durch Messungen am gesamten Konzept gezeigt werden.

<sup>1</sup>SSOP: Small Shrink Outline Package

## 4. PLL

PLL steht für Phase Locked Loop (deutsch: Phasenregelschleife) und bezeichnet ein rückgekoppeltes System zur Frequenzstabilisierung. Ein spannungsgesteuerter Oszillator, im Folgenden VCO genannt (engl. Voltage Controlled Oscillator), wird über eine Rückkopplungsschleife an eine festfrequente Referenz hoher Güte gekoppelt, um so die Frequenzdrift zu kompensieren.

### 4.1. Aufbau

Abbildung 4.1 zeigt den schematischen Aufbau einer PLL.

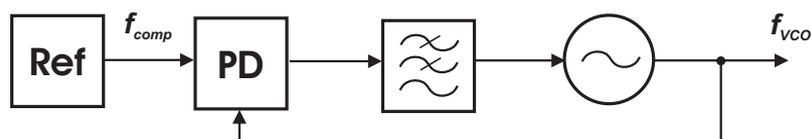


Abbildung 4.1.: Aufbau einer Phasenregelschleife.

Ein Phasen-Detektor (PD) vergleicht die Phase  $\phi_{VCO}$  eines rückgekoppelten VCO-Signals  $f_{VCO}$  mit der Phase  $\phi_{comp}$  eines Vergleichssignals  $f_{comp}$  [7]. In der nachfolgenden Ladungspumpe, im Folgenden CP genannt (engl. Charge Pump), wird ein von der Phasendifferenz abhängiger Korrekturpuls produziert, der in einem nachfolgenden Tiefpass (Loopfilter) geglättet wird. Diese Spannung wird dem Steuereingang des VCO zugeführt, um die Phasendifferenz zu minimieren.

#### 4.1.1. Systemtheoretische Betrachtung

Die Phasenregelschleife wird zunächst aus der Sicht der Regelungstechnik betrachtet. Schwerpunkt wird hier auf logische Zusammenhänge, die Materie sowie Begriffsdefinition gelegt.

Betrachten wir den geschlossenen Regelkreis in Abbildung 4.2, so lassen sich mit Hilfe der Laplace-Transformation folgende Zusammenhänge darstellen [29], [7]:

$$\phi_o = K_D(s)K_F(s)K_V(s)H(s) \quad (4.1)$$

$$\phi_e = \phi_i - \phi_o H(s) \quad (4.2)$$

$$H(s) = \frac{1}{N} \quad (4.3)$$

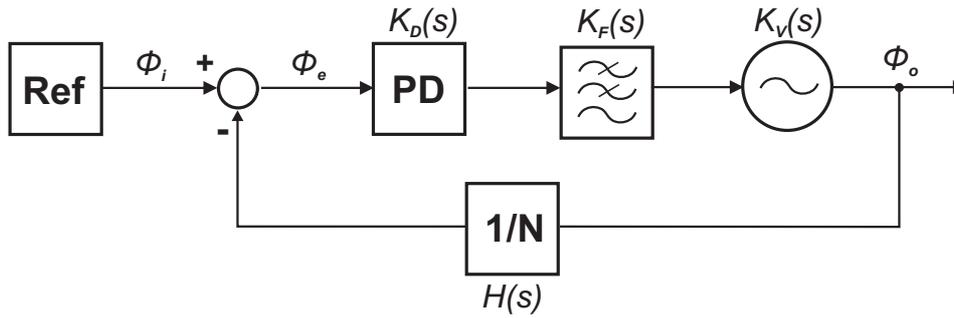


Abbildung 4.2.: Darstellung der PLL als Regelkreis.

Dabei bedeuten

- $\phi_o$  : Phase des Ausgangssignals
- $\phi_i$  : Phase des Vergleichssignals
- $\phi_e$  : Phasenfehler
- $K_D(s)$  : Übertragungsfunktion der Chargepump
- $K_F(s)$  : Übertragungsfunktion des Loopfilters
- $K_V(s)$  : Übertragungsfunktion des VCO
- $H(s)$  : Übertragungsfunktion des  $N$ -Teilers

Mit Hilfe der Laplace-Transformation können wir die zeit- und damit frequenzabhängige Übertragungsfunktion des VCOs umschreiben:

$$K_V(s) = \frac{1}{s} K_V \quad (4.4)$$

Sowohl die Chargepump als auch der Teiler  $N$  zeigen keine Frequenzabhängigkeit, weswegen man  $K_D(s) = K_D$  und  $H(s) = H = \frac{1}{N}$  schreiben kann.

Stellen wir nun die Übertragungsfunktion des geschlossenen Regelkreises mit den Gleichungen 4.1 und 4.2 auf, erhalten wir

$$\frac{\phi_o}{\phi_i} = \frac{K_D(s)K_F(s)K_V(s)}{1 + \frac{K_D(s)K_F(s)K_V(s)}{N}} \quad (4.5)$$

und damit nach Einsetzen von 4.4

$$U(s) = \frac{K_D K_F(s) K_V}{s + \frac{K_D K_F(s) K_V}{N}} \quad (4.6)$$

Die zeitliche Abhängigkeit der Übertragungsfunktion des Loopfilters hängt von der Ordnung des verwendeten Filters ab.

Eine allgemeinere Darstellung erhalten wir durch Ersetzen von  $K_D(s)K_F(s)K_V(s)$  durch  $G(s)$  in 4.5:

$$U(s) = \frac{G(s)}{1 + \frac{G(s)}{N}} \quad (4.7)$$

Aus der allgemeinen Darstellung der Übertragungsfunktion  $U(s)$  in 4.7 lassen sich unter anderem die Parameter Loopbandbreite  $f_{Loop}$  und Phasengrenze  $\phi_{Loop}$  herleiten:

- Loopbandbreite  $f_{Loop}$   
Die Stelle, an der der Term  $\frac{G(s)}{N}$  betragsmäßig 1 wird, bezeichnet man als *Loopbandbreite* [7].
- Phasengrenze  $\phi_{Loop}$   
Die Phasenlage an der Grenze des Loopfilters bestimmt, wie stabil das System ist. Die *Phasengrenze* wird definiert als Differenz zwischen der Phasenlage an dieser Stelle und  $180^\circ$ .

$f_{Loop}$  hat entscheidenden Einfluss auf das Verhalten der Regelschleife (Impulsantwort, Regelgeschwindigkeit);  $\phi_{Loop}$  ist ein Stabilitätskriterium.

Aus 4.6 wird ersichtlich, dass Änderungen der Übertragungsfunktionen von VCO und Chargepump unmittelbaren Einfluss auf die Übertragungsfunktion des gesamten Systems haben. Andererseits kann man sich dies wieder zu Nutze machen, indem man die Variationen eines Parameters durch Verändern eines anderen zu kompensieren versucht, um die Übertragungseigenschaften über einen weiten Bereich konstant zu halten.

Diesen Zusammenhang nützt man bei Verwendung einer Breitband-PLL aus. Die Steilheit  $K_V$  eines realen VCOs ist über den gesamten Ausgangsfrequenzbereich nicht konstant. Durch Verändern des Chargepumpstroms  $I_{CP}$ , der unmittelbaren Einfluss auf die Übertragungsfunktion der Chargepump hat, können Variationen der Steilheit kompensiert werden. Ziel ist es, über den gesamten Arbeitsbereich die Loopbandbreite konstant zu halten. Warum dies getan wird, wird näher in 4.3.1 erklärt.

Eine PLL kann verschiedene Zustände einnehmen, die ihren momentanen Betriebspunkt definieren.

Ein eingerasteter Zustand ist erreicht, wenn

$$\phi_{VCO} = \phi_{comp} \quad (4.8)$$

und somit

$$f_{VCO} = f_{comp} \quad (4.9)$$

gilt.

Ist die VCO-Ausgangsfrequenz nicht eingerastet, spricht man von der *freilaufenden* Frequenz  $f_0$ .

Dabei unterscheidet man verschiedene Arbeitsbereiche einer PLL.

*Fangbereich*: der Frequenzbereich  $\Delta f_F$ , in dem die PLL im nicht eingerasteten Zustand die Abweichung detektieren, korrigieren und auf die Zielfrequenz einrasten kann.

*Haltebereich*: der Frequenzbereich  $\Delta f_H$ , in dem die PLL im eingerasteten Zustand den Frequenzschwankungen folgen und diese korrigieren kann. Entspricht in der Regel dem

gesamten Frequenzbereich des VCOs.

Abbildung 4.3 verdeutlicht diese Zusammenhänge.

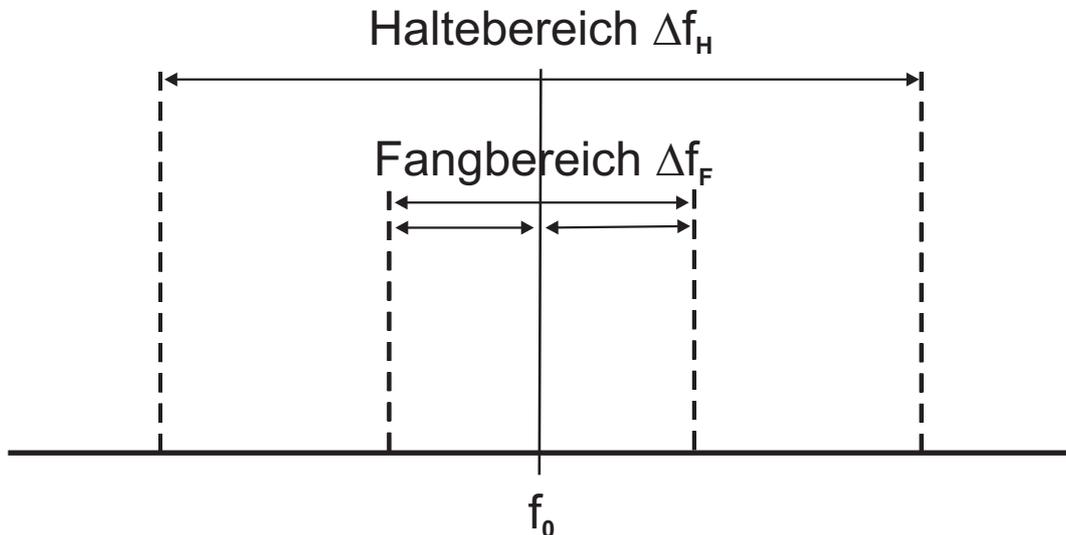


Abbildung 4.3.: Arbeitbereiche einer PLL.

#### 4.1.2. Voltage Controlled Oscillator (VCO)

Den VCO kann man als Spannungs-Frequenz-Konverter bezeichnen, der in Abhängigkeit einer Abstimmspannung  $V_{tune}$  eine dazu proportionale Frequenz am Ausgang erzeugt. Bei dem hier verwendeten VCO handelt es sich um einen LC-Oszillator in Form eines SMD-Bauteils.

Die Frequenz lässt sich in einer Kurve über der Abstimmspannung darstellen, im Idealfall ist der Zusammenhang linear. Dabei beschreibt der Proportionalitätsfaktor  $K_{VCO}$ , um wieviel MHz sich die Frequenz ändert, wenn die Abstimmspannung um  $\Delta V$  geändert wird.  $K_{VCO}$  wird als Steilheit des VCOs bezeichnet<sup>1</sup> und hat die Einheit MHz/V.

#### 4.1.3. Phasen-Detektor (PD)

Das Ausgangssignal des PD ist ein Korrekturstrom, dessen DC-Anteil proportional zum Phasenunterschied der Eingangssignale ist. Der PD ist in den PLL-Synthesizer-Chip integriert.

#### 4.1.4. Loopfilter

Das Loopfilter ist grundsätzlich ein Tiefpassfilter und hat die Aufgabe, das Ausgangssignal des PD zu glätten und dadurch eine entsprechende Abstimmspannung am VCO bereitzustellen. Weiterhin soll die Vergleichsfrequenz am Ausgang der PLL unterdrückt

<sup>1</sup>Engl. tuning sensitivity, Abstimm sensitivität

werden. Parameter zur Beschreibung des Loopfilters sind die Loopbandbreite  $f_{Loop}$ , die zugleich die Eckfrequenz des Filters darstellt, die Phasengrenze  $\phi_{Loop}$ , die die Stabilität der Regelschleife beschreibt, und die Ordnung des Filters, die durch den Art des Aufbaus bestimmt wird.

Es gibt je nach Anforderung und Zweck verschiedene Realisierungen.

### Passives Loopfilter

Ein einfaches passives Loopfilter ist in Abbildung 4.4(a) dargestellt. Dieses Filter 2. Ordnung besteht aus einer Kapazität nach Masse und einem nachfolgenden RC-Glied, das ebenfalls nach Masse geschaltet ist.

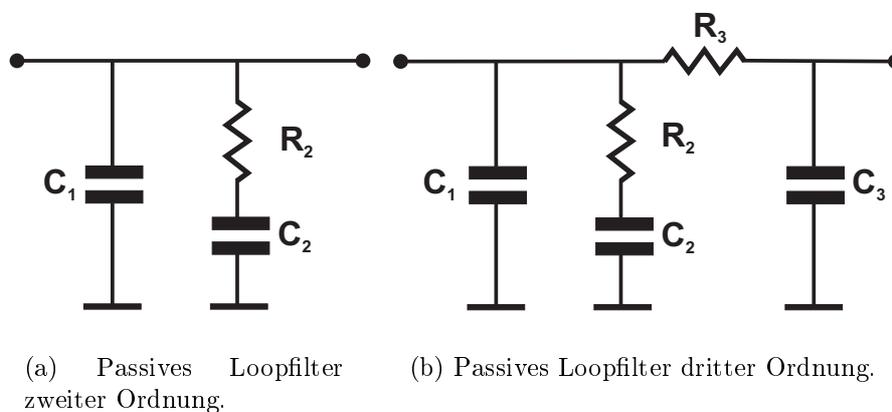


Abbildung 4.4.: Beispiele für passive Loopfilter.

Sehr häufig wird ein Loopfilter 3. Ordnung eingesetzt, wie es in Abbildung 4.4(b) dargestellt ist. Im Vergleich zum Filter 2. Ordnung hat es ein weiteres RC-Glied zur besseren Unterdrückung der Vergleichsfrequenz und deren Vielfache.

Die Berechnung der Filterkomponenten kann mit dafür vorgesehenen Tools geschehen, die von den meisten Herstellern von PLL-Synthesizern frei zur Verfügung gestellt werden. Die idealisierte Simulation liefert nur Ausgangswerte, eine Optimierung der Bauteilwerte wird in der Regel nötig sein.

Grundsätzlich ist eine gute Unterdrückung der Vergleichsfrequenz gewährleistet, wenn folgender Zusammenhang zwischen Vergleichsfrequenz  $f_{comp}$  und Loopbandbreite  $f_{Loop}$  gilt:

$$f_{Loop} \leq \frac{1}{10} f_{comp} \quad (4.10)$$

Die Phasengrenze  $\phi_{Loop}$  bewegt sich meistens zwischen  $40^\circ$  und  $50^\circ$ . Ein typischer Designwert ist  $\phi_{Loop} = 48^\circ$ . Damit wird gewährleistet, dass die Regelschleife ausreichend stabil über den gesamten Bereich ist, unerwünschte Nebenlinien am Ausgang aber unterdrückt werden. Grundsätzlich bedeutet eine größere Phasengrenze größere Stabilität, aber schlechtere Unterdrückung von Nebenlinien.

### Aktives Loopfilter

Das Loopfilter lässt sich auch aktiv aufbauen, um neben der Filterung auch eine Verstärkung des Signals zu erhalten. Dies wird vor allem gemacht, wenn die maximale Spannung der Chargepump nicht den gewünschten Abstimmbereich des VCOs umfasst. Man sollte aber bedenken, dass aktive Elemente zusätzliches Rauschen hinzufügen und das Design komplizierter machen. Auf aktive Loopfilter soll in Abschnitt 4.2 näher eingegangen werden.

#### 4.1.5. PLL-Synthesizer-Chip

Abbildung 4.5 zeigt den Aufbau eines modernen heutigen PLL-ICs mit den integrierten Funktionsblöcken. Im Folgenden werden die einzelnen Blöcke kurz angesprochen.

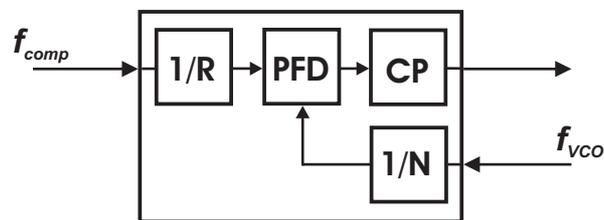


Abbildung 4.5.: Aufbau eines PLL-Chips.

### Detektor

Moderne Detektoren werden in Form von Phasen-Frequenz-Detektoren (PFD) realisiert, die sowohl Phase als auch Frequenz der Eingangssignale vergleichen. Dabei werden sie in integrierten Schaltungen zusammen mit sogenannten Chargepumps betrieben.

### Chargepump

Die Chargepump (CP) hat die Aufgabe, einen zur Ausgangsspannung des PFDs proportionalen Ladestrom auszugeben, der in den Komponenten des nachfolgenden Loopfilters in die VCO-Regelspannung überführt wird.

Die Kombination von PFD und CP hat sich gegenüber anderen, älteren Realisierungen weitestgehend durchgesetzt, da sie den Vorteil eines großen Fangbereichs hat. Weiterhin wird ein aktives Loopfilter nicht zwingend benötigt. Die Entkopplung des PFDs von der Last durch die CP verringert deren Einfluss.

### N- und R-Teiler

Der N-Teiler befindet sich im Rückkoppelzweig des Regelschleife, der R-Teiler zwischen dem Eingang der Vergleichsfrequenz  $f_{comp}$  und dem PFD. Bei beiden handelt es sich um ganzzahlige (Integer) Teiler, die ebenfalls in den PLL-Chip integriert sind.

Der allgemeine Zusammenhang zwischen VCO-Frequenz und Vergleichsfrequenz ist durch

$$f_{VCO} = \frac{N}{R} f_{comp} \quad (4.11)$$

gegeben. Es wird ersichtlich, dass die VCO-Frequenz  $f_{VCO}$  ganzzahliges Vielfaches der heruntergeteilten Vergleichsfrequenz  $\frac{f_{comp}}{R}$  ist. Die minimale Schrittbreite ist somit festgelegt.

Die meistverbreiteten PLL-Synthesizer sind von dem hier vorgestellten Integer-N-Typ, d. h. der Teilerfaktor  $N$  ist eine natürliche Zahl. Mittlerweile sind auf dem Markt aber auch Synthesizer erhältlich, die nach dem Fractional-N-Prinzip arbeiten: dabei ist der Teilerfaktor nicht fest, sondern wird zwischen den Werten  $N$  und  $N+1$  geschaltet<sup>2</sup>. Man erzielt damit eine feinere Frequenzauflösung, da im Mittel ein rationaler Teilerfaktor vorliegt.

Der hier vorgestellte und aufgebaute Synthesizer verwendet einen Baustein nach dem Integer-N-Prinzip, daher wird das andere Verfahren nicht ausführlicher behandelt.

Im Folgenden gehen wir etwas näher auf den Aufbau des N-Teilers ein, da die Einstellung der Teilerfaktoren Einfluss auf die Wahl der Frequenzen hat.

Der N-Teiler besteht aus 3 Blöcken, einem Vorteiler  $P$  und zwei Zählern  $A$  und  $B$ . Der Teilerfaktor  $N$  setzt sich wie folgt zusammen:

$$N = BP + A \quad (4.12)$$

Dieser Aufbau resultiert aus dem Wunsch, große Eingangsfrequenzen verarbeiten zu können. Dies würde aber für einen einzigen Zähler eine große Zählertiefe bedeuten. Daher geht man den Weg, eine feste Vorteilung der Frequenz vorzunehmen, um dann mit Standard-CMOS-Teilern auf die gewünschte Vergleichsfrequenz herunterzuteilen [9].

Der Vorteiler ist als sogenannter Dual-Modulus-Prescaler  $P/P + 1$  ausgeführt und ist programmierbar [8]. Sein Teilerfaktor lässt sich mit Hilfe eines externen Signales umschalten. Je nach PLL-Chip sind verschiedene Prescaler-Einstellungen möglich; der hier verwendete Chip lässt Einstellungen  $P/P + 1$  der Form  $8/9$ ,  $16/17$ ,  $32/33$  und  $64/65$  zu<sup>3</sup>.

Die beiden Zähler  $A$  und  $B$  arbeiten mit CMOS-Pegeln und haben eine maximale Eingangsfrequenz, die durch den Einsatz des Prescalers nicht überschritten wird. Ihre Zählertiefe beträgt bei dem hier verwendeten Chip 6 bit für den A-Zähler und 13 bit für den B-Zähler.

Bei der Wahl der Werte  $A$ ,  $B$  und  $P$  sind nicht beliebige Kombinationen möglich; sie unterliegen bestimmten Bedingungen, die im Folgenden gezeigt werden. Dabei ist wichtig zu wissen, daß die Wahl von  $A$  und  $B$  der Bedingung  $B \geq A$  unterliegt.

<sup>2</sup>Nicht zu verwechseln mit dem Teiler  $P$  des Prescalers, der im folgenden vorgestellt wird.

<sup>3</sup>Die Einstellungen rühren daher, dass der Prescaler auf einem  $4/5$ -Kern basiert.

Die Einstellung von  $N$  wird jeweils für jede Wahl von  $P$  beschränkt durch einen minimalen Wert  $N_{min}$  und einen maximalen Wert  $N_{max}$ . Nur in diesem Bereich sind alle Werte für  $N$  gültig. Betrachten wir Gleichung 4.12, so sieht man, daß  $A$  zwischen 0 und  $P - 1$  wählbar sein sollte, um das Kriterium zu erfüllen. Wird  $B$  um 1 erhöht, können alle Zwischenschritte durch Verändern von  $A$  gewählt werden.

Wir berechnen  $N_{min}$ , indem wir die minimalen Werte  $A_{min} = 0$ ,  $B_{min} = P - 1$  für ein gegebenes  $P$  einsetzen:

$$\begin{aligned} N_{min} &= PB_{min} + A_{min} \\ &= P(P - 1) + 0 \\ &= P^2 - P \end{aligned} \tag{4.13}$$

$$\tag{4.14}$$

$N_{max}$  lässt sich durch Einsetzen der maximalen Werte berechnen:

$$N_{max} = PB_{max} + A_{max} \tag{4.15}$$

Die Wahl von  $B_{min} = P - 1$  beruht auf dem Wunsch, alle Werte zwischen  $N_{min}$  und  $N_{max}$  wählen zu können; für kleinere  $B_{min}$  sind nur bestimmte Werte für  $N$  wählbar. Für den verwendeten PLL-Chip gibt das Datenblatt [8] für Zähler  $A$  (6 bit) die Werte 0...63 und für Zähler  $B$  (13 bit) 3...8191 an.

Die Festlegung von  $P$  wird in erster Linie von zwei Kriterien bestimmt: das Erste ist die maximale Eingangsfrequenz  $f_{max}$  der Zähler  $A$  und  $B$ , die aus dem Datenblatt des jeweiligen PLL-Chips entnehmbar ist. Die Wahl von  $P$  muss groß genug sein, um die Bedingung

$$f_{Pre} = \frac{f_{VCO}}{P} \leq f_{max}$$

zu erfüllen.

Das zweite Kriterium ist die gewählte Vergleichsfrequenz  $f_{comp}$ , da dadurch die Einstellung von  $N$  bestimmt wird.

## 4.2. Realisierung

Den zweiten Block im Konzept des Ku-Band-Frequenzsynthesizers bildet die PLL. Diese wird als Breitband-PLL aufgebaut, da sie einen weiten Frequenzbereich abdecken soll. Der Frequenzbereich umfasst 800–1600 MHz. Dabei dient das Ausgangssignal des DDS mit dem Frequenzbereich 9,5–10,5 MHz als Vergleichsfrequenz. Diese Kombination aus PLL und DDS wird als *Hybrid-PLL* bezeichnet, da es zwei Verfahren zur Signalerzeugung miteinander verbindet.

Aufgebaut wird die PLL mit dem Breitband-VCO ROS-1700W von MINI-CIRCUITS und dem Frequenzsynthesizer-Chip ADF4113 von ANALOG DEVICES. Die Eckdaten der Bausteine entnimmt man der folgenden Auflistung.

- VCO ROS-1700W  
Frequenzbereich 770–1770 MHz  
Ausgangsleistung typisch + 8 dBm  
Abstimmspannung 1–24 V  
Versorgungsspannung 12 V
- Frequenzsynthesizer ADF4113  
maximale VCO-Frequenz 4,0 GHz  
maximale Versorgungsspannung Chargepump 6 V  
maximaler Chargepumpstrom  $I_{CP}$  5 mA  
maximale Eingangsfrequenz A- und B-Zähler 200 MHz

Abbildung 4.6 zeigt den im Datenblatt angegebenen Frequenzverlauf des VCOs über der Abstimmspannung.

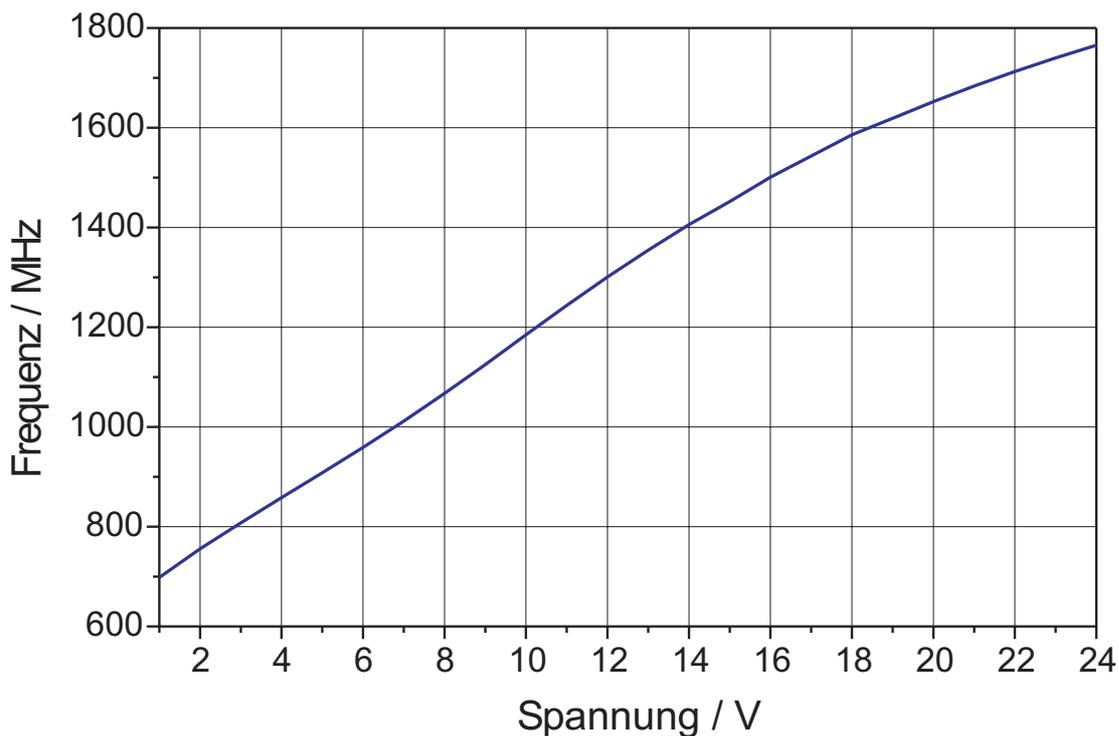


Abbildung 4.6.: Verlauf der Ausgangsfrequenz über der Abstimmspannung.

Für den Frequenzbereich 800–1600 MHz benötigen wir ca. 3–19 V. Die maximale Spannung aber, die der Chargepump entnehmbar ist, beträgt ca. 5 V. Daher benötigen wir noch eine Stufe zur Spannungsverstärkung. Diese kann grundsätzlich auf zwei Arten realisiert werden.

### Passives Loopfilter mit Treiberstufe

Die einfachere Lösung ist passives Loopfilter gefolgt von einer Verstärkerstufe mit fester Verstärkung. Abbildung 4.7 zeigt den schematischen Aufbau einer möglichen Realisierung. Einem Loopfilter zweiter Ordnung folgt ein Operationsverstärker zur Spannungsverstärkung. Das Filter wird wie ein passives Filter entworfen, die Treiberstufe sollte

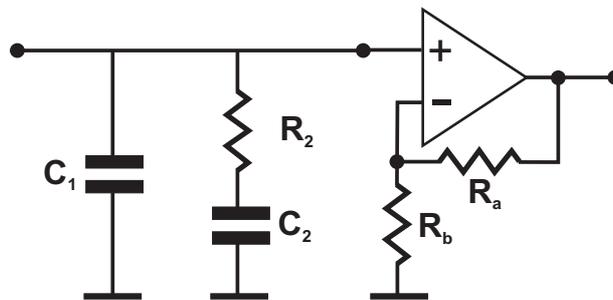


Abbildung 4.7.: Passives Loopfilter mit Treiber.

mit einem rauscharmen Verstärker aufgebaut werden.

### Aktives Loopfilter

Die aufwendigere, aber bessere Lösung ist der Aufbau eines aktiven Loopfilters. Dabei ist die Verstärkerstufe Bestandteil des Filters. Realisiert wird es üblicherweise mit einem Operationsverstärker, im Folgenden als OpAmp (engl. Operational Amplifier) bezeichnet. Eine gute Einführung in die Thematik zu aktiven Filtern bietet [24].

Das aktive Loopfilter ist ein Tiefpass, der ohne Induktivitäten auskommt. Durch den aktiven Aufbau besteht nicht die Notwendigkeit, bei kleinen Eckfrequenzen  $f_c$  große Bauteilwerte zu wählen. Zudem minimiert der Pol im Rückkopplungszweig ( $R_4, C_4$ ) das durch den OpAmp hinzugefügte Rauschen. Abbildung 4.8 zeigt das verwendete Loopfil-

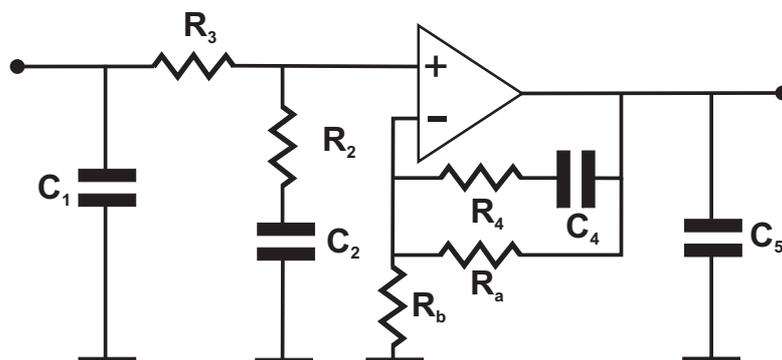


Abbildung 4.8.: Schematischer Aufbau des aktiven Loopfilters.

ter. Dabei wurden nach [15] Ausgangswerte für die Elemente des Filters bestimmt; das Filter wurde dann durch Messungen und Änderungen der Werte optimiert.

Ziel war in erster Linie, über den gesamten Ausgangsfrequenzbereich Stabilität zu

gewährleisten.

Als OpAmp kommt ein AD820 von ANALOG DEVICES zum Einsatz [10]. Dies ist ein rauscharmer Operationsverstärker, der mit unsymmetrischer Spannungsversorgung auskommt.

Die Werte der Filterelemente entnimmt man der schematischen Darstellung der PLL-Schaltung im Anhang.

In 4.1.1 wurde schon darauf hingewiesen, dass sowohl der Chargepumpstrom  $I_{CP}$  als auch die VCO-Steilheit  $K_{VCO}$  Einfluss auf die Übertragungsfunktion des geschlossenen Regelkreises haben. Die Übertragungsfunktion  $U(s)$  bestimmt wiederum die Bandbreite (Grenzfrequenz) des Regelkreises und somit auch den Einfluss der Loopbandbreite des Filters auf das VCO-Ausgangsspektrum.

Eine Variation von  $K_{VCO}$  über den Arbeitsbereich des VCOs verändert die Loopbandbreite  $f_{Loop}$ . Eine Änderung der Loopbandbreite bewirkt auch eine Änderung des Einschwingverhaltens der PLL. Grundsätzlich kann gesagt werden, dass eine große Loopbandbreite den Regelkreis schnell macht, die Einschwingzeit wird kurz, es kommt aber zu verstärktem Überschwingen des Ausgangssignals während des Fangvorgangs.

Eine kleine Loopbandbreite hingegen verlangsamt den Einschwingprozess. Das Überschwingen wird minimiert, die aktuelle Frequenz nähert sich nur langsam der Endfrequenz.

Die Wahl der Loopbandbreite in Bezug auf die Einschwingzeit hängt von der jeweiligen Anwendung ab: wird die PLL festfrequent betrieben, also mit lediglich einer Ausgangsfrequenz, wird ein schmales  $f_{Loop}$  gewählt; soll aber zwischen mehreren Frequenzen schnell umgeschaltet werden, so sollte die Einschwingzeit durch die Wahl eines größeren  $f_{Loop}$  klein gehalten werden.

Die Variation der Loopbandbreite über den Arbeitsbereich der PLL und deren Kompensation mit Hilfe des Chargepumpstroms soll in Abschnitt 4.3 durch Messungen aufgezeigt werden.

Die Loopbandbreite hat ebenfalls Einfluss auf das trägernähe Phasenrauschen. Im folgenden Abschnitt wird dies verdeutlicht.

#### 4.2.1. Phasenrauschen

Unter Phasenrauschen versteht man die Verbreiterung eines Trägers im Frequenzbereich, die durch das zufällige Rauschen der an der Trägererzeugung beteiligten Komponenten zustande kommt. Im Zeitbereich drückt sich das Phasenrauschen in der Kurzzeitstabilität aus.

Abbildung 4.9 zeigt das Ausgangsspektrum einer PLL. Dabei stellt die durchgezogene Linie den spektralen Verlauf dar. Gestrichelt dargestellt ist der Verlauf des freilaufenden VCOs.

Eine gute Auslegung des Loopfilters versucht, die Loopbandbreite in den Schnittpunkt von VCO-Phasenrauschen und PLL-Phasenrauschen zu legen. Nahe am Träger wird das

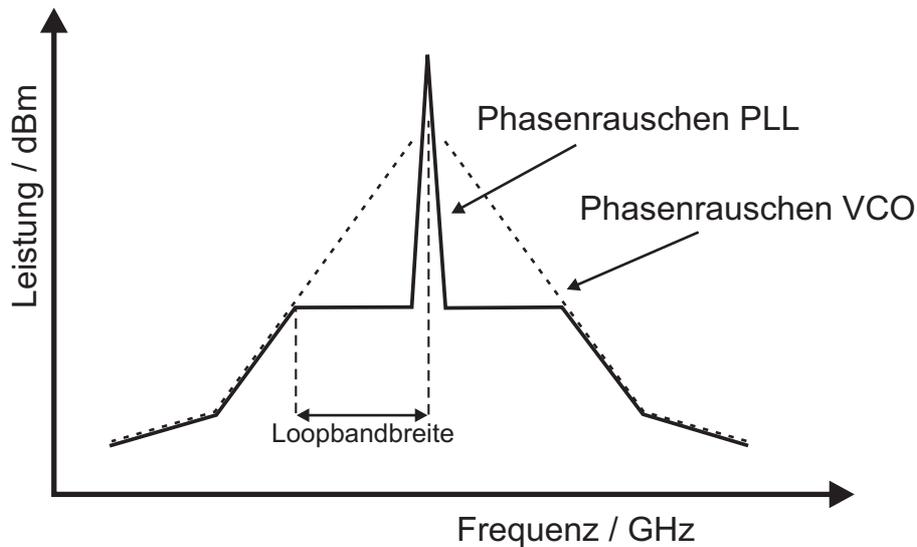


Abbildung 4.9.: Phasenrauschen nahe am Träger.

Phasenrauschen verbessert, aus der Sicht der PLL wirkt die Regelschleife als Tiefpassfilter. Hier dominieren das Phasenrauschen der Referenz und des PLL-ICs. Außerhalb der Loopbandbreite dominiert das Phasenrauschen des VCOs, aus der Sicht des VCOs wirkt die Regelschleife als Hochpassfilter.

### Phasenrauschen des PLL-ICs

Das Phasenrauschen  $PN$  innerhalb der Loopbandbreite kann abgeschätzt werden [14]. Den größten Einfluss hat der PLL-IC mit den integrierten Teilern und dem PFD. Einen normalisierten Wert liefert der Phasenrauschindex  $PN_{floor}$ , der den PLL-IC charakterisiert. Dies ist eine Angabe des Herstellers und kann dem Datenblatt entnommen werden. Dabei wird  $PN_{floor}$  umgerechnet auf  $N = 1$  und  $f_{comp} = 1\text{ Hz}$  dargestellt. Für den hier verwendeten PLL-Chip ADF 4113 von ANALOG DEVICES gibt das Datenblatt  $PN_{floor}$  nicht direkt an, sondern bezogen auf die Vergleichsfrequenz:

$$PN_{floor} = -171 \text{ dBc/Hz} @ 25 \text{ kHz}$$

$$PN_{floor} = -164 \text{ dBc/Hz} @ 200 \text{ kHz}$$

Für eine allgemeine Darstellung muss der Wert noch auf 1 Hz umgerechnet werden, dies geschieht durch Subtraktion von  $10 \log\left(\frac{f_{comp}}{\text{Hz}}\right)$ . Dies führt schließlich zu einem Phasenindex  $PN_{floor} = -215 \text{ dBc/Hz} @ 1 \text{ Hz}$ , was als theoretischer normierter Wert zu betrachten ist.

Das Phasenrauschen  $PN$  innerhalb der Loopbandbreite lässt sich nun abschätzen:

$$PN = PN_{floor} + 20 \log(N) + 10 \log\left(\frac{f_{comp}}{\text{Hz}}\right) \quad / \text{ dBc/Hz} \quad (4.16)$$

Dabei berücksichtigt der Term  $20\log(N)$  die Verschlechterung des Phasenrauschens durch die Vervielfachung im Regelkreis, der Term  $10\log(\frac{f_{comp}}{\text{Hz}})$  setzt den Wert in Bezug zur Vergleichsfrequenz. Wichtig ist zu wissen, dass bei dieser Abschätzung das Phasenrauschen der Referenz vernachlässigt wird und angenommen wird, dass nur der PLL-Chip das Phasenrauschen beeinflusst. Zudem wird angenommen, dass das Phasenrauschen innerhalb der Loopbandbreite konstant bleibt.

Mit Hilfe von 4.16 wollen wir das Phasenrauschen  $PN$  für den hier verwendeten PLL-Chip abschätzen. Für  $f_{out} = 1600$  MHz und  $f_{comp} = 10$  MHz erhält man  $N = 160$ .

$$PN = -215 + 20\log(160) + 10\log\left(\frac{10\text{MHz}}{\text{Hz}}\right) \quad / \text{ dBc/Hz} \quad (4.17)$$

$$= -100,9 \text{ dBc/Hz} \quad (4.18)$$

Dieser theoretische Wert soll in Abschnitt 4.3 mit gemessenen Werten verglichen werden.

### Phasenrauschen der Referenz

Auch die Frequenzstabilität und spektrale Reinheit der Referenzquelle beeinflussen die Qualität des Ausgangssignals. Im vorherigen Abschnitt wurde das Phasenrauschen des Ausgangssignals der PLL abgeschätzt, wenn es hauptsächlich vom PLL-IC beeinflusst wird. Ist das Ausgangssignal der Vergleichsfrequenz verrauscht, so können wir dieses Phasenrauschen nicht mehr vernachlässigen und müssen es hinzuziehen.

Dabei kann die Verwendung des im PLL-Chip integrierten R-Teilers am Eingang der Vergleichsfrequenz von Vorteil sein: durch Teilen der Vergleichsfrequenz wird auch das Phasenrauschen verkleinert, und zwar um den schon bekannten Zusammenhang  $20\log R$ . Nun wird das Phasenrauschen der Referenz in der Loop wieder durch die Vervielfachung um  $20\log N$  verschlechtert.

Hier kann man nun ansetzen, um im Vorfeld das Phasenrauschen der Referenz zu bestimmen und abzuschätzen, wie viel Einfluss es auf das Ausgangsspektrum der PLL hat. Durch entsprechende Wahl der Referenzfrequenz und Einstellung von  $R$  kann das Optimum gesucht werden.

### Weitere Rauschquellen

Die Stabilität der Spannungsversorgungen und ein ordentliches Layout beeinflussen ebenfalls die Qualität des Ausgangssignals. Dies soll im Rahmen der Ausarbeitung nicht weiter betrachtet werden. Ein sorgfältiger Schaltungsentwurf und gute Massekontaktierungen werden vorausgesetzt.

#### 4.2.2. Spezifikation

Die Frequenzeinstellung des VCOs bewegt sich zwischen 800–1600 MHz und dient der groben Frequenzeinstellung. Eine feinere Auflösung wird durch Verändern der DDS-Ausgangsfrequenz mit einem Frequenzbereich von 9,5–10,5 MHz erreicht.

### Berechnung der Teilerfaktoren

Zur genauen Auslegung der Frequenzen und der benötigten Teilerfaktoren muss ein Frequenzplan angelegt werden. In diesem werden die gewünschten Frequenzen eingetragen; damit können dann die möglichen Einstellungen der Teiler berechnet werden. Dabei müssen die in Abschnitt 4.1.5 gestellten Bedingungen erfüllt sein, wenn alle Werte für  $N$  wählbar sein sollen.

Zu beachten ist dabei, dass die maximale Eingangsfrequenz der A- und B-Zähler 200 MHz beträgt. Dies stellt in unserem Fall aber kein Problem dar, da die maximale Ausgangsfrequenz des VCO 1600 MHz ist und wir mit einem  $P/P + 1$ -Teiler = 8/9 auf eine Zwischenfrequenz von genau  $f_{Pre} = 200$  MHz kommen. Für Frequenzen kleiner 1600 MHz fällt somit auch  $f_{Pre}$  kleiner 200 MHz aus.

Die Vorgehensweise ist folgende: anhand der gewünschten Ausgangsfrequenz des VCOs  $f_{VCO}$  und der Mittenfrequenz der Vergleichsfrequenz  $f_{comp}$  (10 MHz) wird  $N = \frac{f_{VCO}}{f_{comp}}$  berechnet.

Nachfolgende Tabelle gibt ein Beispiel für einen solchen Frequenzplan.

$f_{DDS}$ / MHz	$f_{VCO}$ / MHz	N
9,508333	1141,000	120
9,529417	1143,530	120
9,818133	1178,176	120
⋮	⋮	⋮
10,000000	1200,000	120
⋮	⋮	⋮
10,476192	1257,143	120

Die Festlegung der Punkte, an denen ein Wechsel des Teilerfaktors  $N$  stattfinden sollte, folgt keiner Regel. Dies kann festgelegt werden, wenn die Berechnung zu einem späteren Zeitpunkt in eine Bedienungssoftware implementiert wird.

In Abschnitt 4.2.1 wurde der Einfluss des Teilerfaktors  $N$  auf das Phasenrauschen eingeführt. Betrachten wir den kleinsten Wert  $N_{min} = 80$  und den größten Wert  $N_{max} = 160$ , so erhalten wir eine Verschlechterung von 38 dB und 44 dB.

#### 4.2.3. Layout

Das Layout wurde in Eagle [16] erstellt. Der Schaltplan ist im Anhang beigelegt.

### 4.3. Messungen

Die wesentlichen Parameter zur Charakterisierung einer PLL stellt folgende Auflistung zusammen:

- Ausgangsfrequenz / Hz

- Ausgangsleistung / dBm
- Phasenrauschen / dBc/Hz
- Loopbandbreite / Hz
- Einschwingzeit / s

Die Ausgangsfrequenz der PLL beträgt 800–1600 MHz, der Ausgangspegel bewegt sich zwischen -2 und +2 dBm<sup>4</sup>.

Das Phasenrauschen wird am Ausgang der PLL am einfachsten mit Hilfe eines Spektrumanalysators gemessen. Auf diese Art und Weise kann das Einseitenbandphasenrauschen des Signals gemessen werden. Im Folgenden Abschnitt werden Betrachtungen zur Loopbandbreite und zum Phasenrauschen gemacht.

### 4.3.1. Loopbandbreite und Phasenrauschen

In Abschnitt 4.1.1 wurde der Zusammenhang zwischen der Übertragungsfunktion des Regelkreises  $U(s)$  und der Loopbandbreite  $f_{Loop}$  aufgezeigt. Die Darstellung des Verlaufs der Frequenz über der Abstimmspannung für den VCO in Abbildung 4.6 weist darauf hin, dass die Steilheit  $K_{VCO}$  über diesen weiten Frequenzbereich nicht konstant ist. Während wir bei  $f_{VCO} = 800$  MHz eine Steilheit  $K_{VCO} = 52$  MHz/V haben, beträgt  $K_{VCO}$  bei 1600 MHz lediglich 38 MHz/V. Dies führt unter anderem dazu, dass die Loopbandbreite über den gesamten Frequenzbereich von 800–1600 MHz variiert.

Es besteht nun die Möglichkeit, durch Verändern des Chargepumpstroms  $I_{CP}$  die Variation der Loopbandbreite zu kompensieren; Ziel ist es, mit einer konstanten Loopbandbreite auch eine konstante Einschwingzeit der PLL zu gewährleisten.

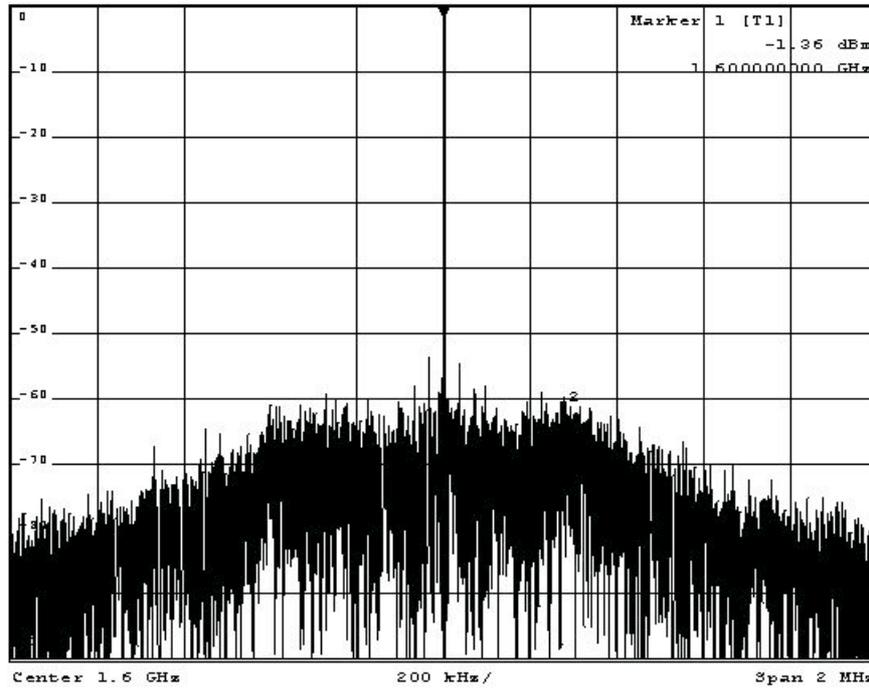
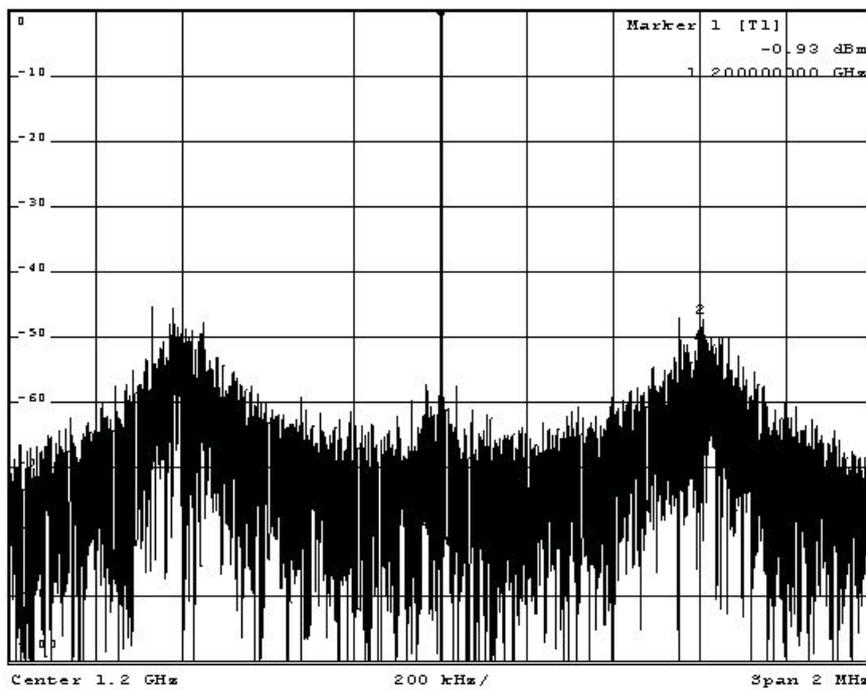
Abbildung 4.10 zeigt das Ausgangsspektrum der PLL mit einer Ausgangsfrequenz  $f_{VCO} = 1600$  MHz. Dabei wurde ein Chargepumpstrom  $I_{CP} = 5$  mA gewählt.

Die gemessene Loopbandbreite  $f_{Loop}$  beträgt ca. 300 kHz. Damit ist eine ausreichende Unterdrückung der Vergleichsfrequenz gewährleistet, die Einschwingzeit der PLL wird sehr kurz gehalten. Als Referenzquelle diente ein Signalgenerator.

Schaut man sich in Abbildung 4.11 nun das Ausgangsspektrum mit einer Ausgangsfrequenz von 1200 MHz und  $I_{CP} = 5$  mA an, so stellt man fest, dass sich die Loopbandbreite merklich geändert hat. Sie beträgt ca. 600 kHz, an den Filtergrenzen kommt es zu Amplitudenerhöhungen. Was ist passiert?

Die Steilheit  $K_{VCO}$  des VCOs ist bei kleineren Frequenzen größer. Bei gleichem Chargepumpstrom folgt daraus, dass sich die Loopbandbreite zu niedrigen Frequenzen hin erhöht, was in Abbildung 4.11 gut zu sehen ist.

<sup>4</sup>Eine anschauliche Darstellung des Ausgangspegels für das Konzept soll in Kapitel 7 gegeben werden.

Abbildung 4.10.: Ausgangsspektrum des PLL bei  $f_{VCO} = 1600$  MHz,  $I_{CP} = 5$  mA.Abbildung 4.11.: Ausgangsspektrum des PLL bei  $f_{VCO} = 1200$  MHz,  $I_{CP} = 5$  mA.

### Verändern des Chargepumpstroms

Durch Verändern des Chargepumpstroms kann nun die Variation von  $K_{VCO}$  weitestgehend kompensiert werden. Wird ein Chargepumpstrom von 1.25 mA eingestellt, erhält man das in Abbildung 4.12 dargestellte Spektrum.

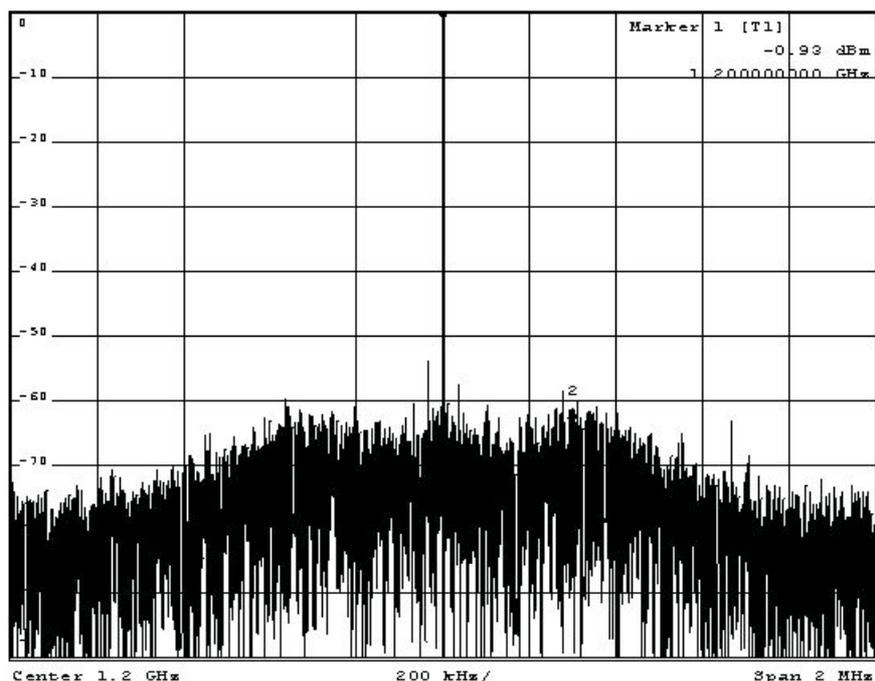


Abbildung 4.12.: Ausgangsspektrum des PLL bei  $f_{VCO} = 1200$  MHz,  $I_{CP} = 1.25$  mA.

Die Loopbandbreite beträgt wieder ca. 300kHz, an den Filtergrenzen ist die Amplitudenerhöhung minimal.

Beim verwendeten PLL-Chip ADF4113 lässt sich der Chargepumpstrom  $I_{CP}$  verändern. Dabei wird mit Hilfe des Widerstands  $R_{SET}$ <sup>5</sup> der Arbeitsbereich des Stroms eingestellt [8].  $R_{SET}$  sollte laut Datenblatt zwischen 2,7kΩ und 10kΩ gewählt werden, damit ist  $I_{CP}$  zwischen 0,3 mA und 8,7 mA einstellbar. 3 bits übernehmen die Einstellung von  $I_{CP}$  im PLL-Chip, für ein bestimmtes  $R_{SET}$  sind somit 8 verschiedene Stromeinstellungen möglich.

Mit  $R_{SET} = 4,7$  kΩ lässt sich  $I_{CP}$  zwischen 0,625 mA und 5 mA einstellen. Damit ist ein ausreichender Spielraum gewährleistet, die Loopbandbreite annähernd konstant zu halten.

Abbildung 4.13 zeigt dafür ein Beispiel. Der Chargepumpstrom wurde über dem Ausgangsfrequenzbereich unter der Voraussetzung konstanter Loopbandbreite  $f_{Loop}$  aufgetragen. Die Treppenform rührt von den 8 möglichen Einstellungen für  $I_{CP}$  im PLL-Chip.

<sup>5</sup>Siehe schematischer Plan im Anhang.

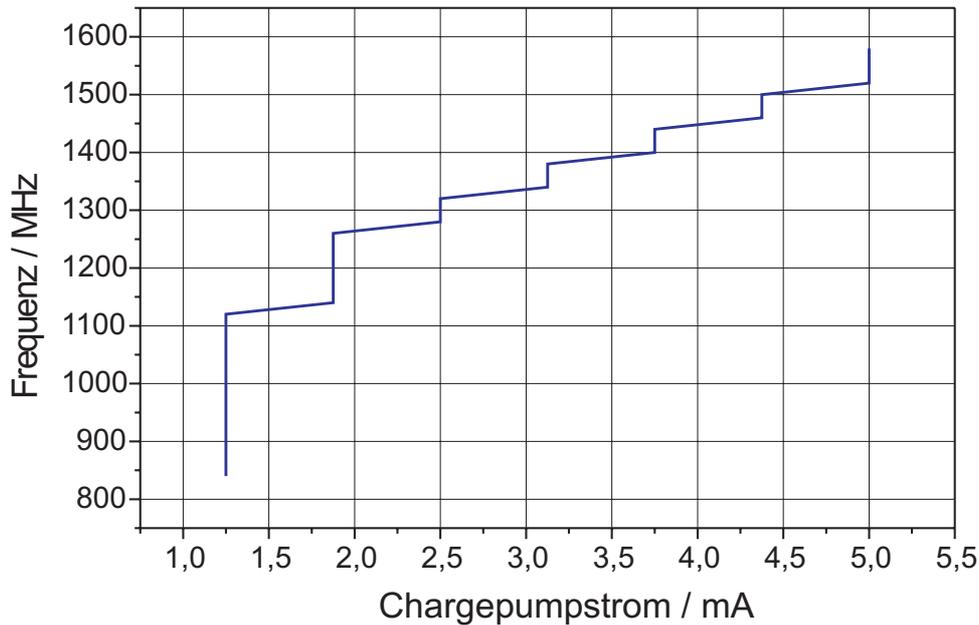


Abbildung 4.13.: Verlauf des Chargepumpstroms über der Frequenz.

### Phasenrauschen der PLL

Anhand der zuvor gezeigten Ausgangsspektren können wir das Phasenrauschen der PLL bestimmen.

In Abbildung 4.10 messen wir einen Signal-zu-Rausch-Abstand von 60,5 dBc an der Grenze des Loopfilters bei 300 kHz. Mit der in [27] gegebenen Datenkorrektur berechnen wir den tatsächlichen Wert:

gemessener Abstand:	-60,5 dBc
systematischer Fehler:	2,5 dB
Bandbreitennormierung:	-30,8 dB
-(Trägerleistung):	-1,4 dBm
Einseitenband-Rauschpegel:	-87,4 dBc@ 300 kHz

Messen wir das Phasenrauschen in Abbildung 4.11 mit  $f_{VCO} = 1200$  MHz und  $I_{CP} = 5$  mA, so erhalten wir nach der Umrechnung -75,4 dBc@ 600 kHz an der Filtergrenze. Durch Veränderung des Chargepumpstroms auf 1,25 mA verkleinert sich die Loopbandbreite auf ca. 300 kHz und wir messen an der Filtergrenze ein Phasenrauschen von -90,4 dBc@ 300 kHz. Der Unterschied von ca. 3 dB zwischen den Werten bei 1200 MHz und 1600 MHz ist unter anderem auch darauf zurückzuführen, dass sich der Ausgangspegel zu höheren Frequenzen hin verkleinert und somit der Signal-zu-Rausch-Abstand abnimmt.

In Abschnitt 4.2.1 wurde das Phasenrauschen des PLL-ICs innerhalb der Loopbandbreite abgeschätzt, ein Wert von -100,9 dBc/Hz bei einer Vergleichsfrequenz  $f_{comp} = 10$  MHz wurde ermittelt. Dieser Wert beschreibt das Phasenrauschen des PLL-IC unter

Vernachlässigung anderer Rauschquellen.

Der gemessene Wert bei 1200 MHz betrachtet das Phasenrauschen an der Filtergrenze  $f_{Loop} = 300$  kHz. In Abbildung 4.12 sehen wir, dass das Phasenrauschen zwischen Träger und Filtergrenze niedriger ist, wir lesen einen Wert von ca.  $-65$  dBc@150 kHz ab. Wir erhalten damit einen korrigierten Wert von  $-94,9$  dBc@150 kHz.

Die Differenz von 6 dB zum berechneten Wert ist darauf zurückzuführen, dass das Referenzsignal des Signalgenerators nicht völlig vernachlässigbar ist und auch zum Phasenrauschen beiträgt. Weiterhin trägt auch der im Loopfilter verwendete Operationsverstärker dazu bei.

### Abschließendes

Grundsätzlich ist es schwer, von einer idealen Einstellung der Loopbandbreite zu reden. Wie man sieht entscheiden mehrere Faktoren die Einstellung. Niedriges Phasenrauschen verlangt eine Optimierung der Loopbandbreite, im Idealfall legt man die Filtergrenze an den Schnittpunkt von PLL-Phasenrauschen und VCO-Phasenrauschen.

Wenn andererseits das Phasenrauschen eher zweitrangig ist und die Betonung auf einer schnellen PLL liegt, dann sollte eine größere Loopbandbreite mit einer kurzen Einschwingzeit gewählt werden.

Letztlich wird der Einsatz der PLL im Synthesizer zeigen, welche Anforderungen die Einstellungen bestimmen. Werden die Anforderungen an die Geschwindigkeit erfüllt, so kann das Loopfilter kleiner gemacht werden, mit dem Ziel, das Phasenrauschen zu verbessern.

Zu Beginn der Ausarbeitung wurde die Forderung gestellt, Messungen im D-Band über viele Frequenzpunkte in annehmbarer Zeit durchführen zu können. Das dort aufgeführte Beispiel wird hier ein weiteres Mal hinzugezogen.

Nehmen wir an, es sollen von 110–170 GHz Messungen in 10-MHz-Schritten gemacht werden. Dies ergibt 6000 Messpunkte.

Wird pro Messpunkt eine Zeit  $\Delta t = 100$  ms angenommen, so würde ein Messdurchgang 600 s, also 10 min dauern.

Erste Messungen der Einschwingzeit der PLL ergaben Werte kleiner 20 ns für einen Frequenzwechsel um  $\Delta f = 10$  MHz. Dabei wurde die Frequenz von 1190 MHz auf 1200 MHz erhöht, die Loopbandbreite betrug 300 kHz. Mit der ermittelten Einschwingzeit wird die zuvor aufgestellte Anforderung durch die PLL erfüllt.

## 5. Vervielfacher

Der dritte Block des Konzepts besteht aus drei Zweigen, die wahlweise eine getrennte Weiterverarbeitung des PLL-Ausgangssignals vornehmen. Die Frequenzaufteilung entnimmt man der Tabelle.

Zweig	$f_{in}$ / GHz	$f_{out}$ / GHz
I	0,95–1,60	0,95–1,60
II	0,80–1,50	1,60–3,00
III	1,00–1,43	3,00–4,30

Der erste Zweig nimmt eine Bandpassfilterung des Eingangssignals vor. Der zweite Zweig führt eine Frequenzverdopplung, der dritte Zweig eine Frequenzverdreifung durch. In diesem Kapitel werden die Frequenzvervielfacher vorgestellt; die verwendeten Filter werden in Kapitel 6 besprochen.

### 5.1. Prinzip der Frequenzvervielfachung

Die Frequenzvervielfachung beruht im Allgemeinen auf dem nichtlinearen Verhalten bestimmter Bauteile. Dabei gibt es eine Vielzahl von Möglichkeiten, in Abhängigkeit vom Anwendungszweck einen Frequenzvervielfacher aufzubauen. Einen guten Einstieg gibt [18].

Das Prinzip der Frequenzvervielfachung beruht in unserem Fall auf der nichtlinearen I/U-Kennlinie einer Diode, die als Taylorreihe folgende Form hat:

$$i(u) = a_0 + a_1 u + a_2 u^2 + a_3 u^3 + \dots \quad (5.1)$$

Wird nun ein Eingangssignal der Form  $u = u_0 \sin(\omega t)$  an die Diode angelegt, so können wir die Taylorreihe berechnen. Wir erhalten für die Glieder zweiter und dritter Ordnung folgende Komponenten:

$$\sin^2(\omega t) = \frac{1}{2}(1 - \cos(2\omega t)) \quad (5.2)$$

$$\sin^3(\omega t) = \frac{3}{4} \sin(\omega t) - \frac{1}{4} \sin(3\omega t) \quad (5.3)$$

In Gleichung 5.2 erscheint als Argument der Winkelfunktion die doppelte Eingangsfrequenz, was einer Frequenzverdopplung entspricht; Gleichung 5.3 beinhaltet unter anderem die dreifache Eingangsfrequenz.

Zur äußeren Beschaltung werden Anpassnetzwerke, Idler-Kreise (Hilfs-Kreise) und Filter verwendet, siehe Abbildung 5.1.

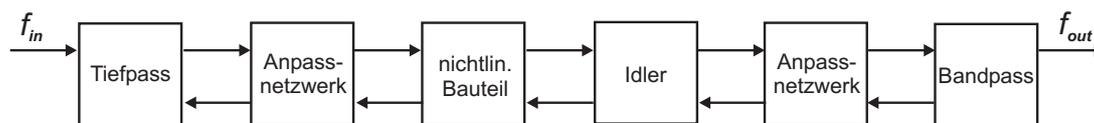


Abbildung 5.1.: Allgemeiner Aufbau eines Frequenzvervielfachers.

*Anpassnetzwerke* stellen sicher, dass soviel wie möglich Eingangsleistung die Diode erreicht und soviel wie möglich Ausgangsleistung in der erwünschten Harmonischen zur Verfügung steht.

*Idler-Kreise* stellen Kurzschlüsse bei unerwünschten Frequenzen in Form von konzentrierten Elementen oder Leitungselementen (Resonatoren) dar. Die Idee ist dabei, durch Rückführung dieser Frequenzanteile zur Diode weitere Mischprodukte und damit mehr Leistung in der erwünschten Harmonischen zu generieren. Idler-Kreise werden hauptsächlich bei schmalbandigen Vervielfachern (eine Frequenz) mit hoher Effizienz verwendet. Bei breitbandigen Vervielfachern werden sie üblicherweise weggelassen und deren Funktion in die anderen Blöcke integriert.

*Filter* haben die Aufgabe, am Eingang nur die Grundfrequenz (Tiefpass) und am Ausgang nur die erwünschte Harmonische passieren zu lassen (Bandpass).

## 5.2. Definitionen

Bei der Beurteilung der Performance eines passiven Frequenzvervielfachers sind die im Folgenden aufgelisteten und definierten Parameter von Interesse.

- **Konversionsverlust**  
Der *Konversionsverlust* (engl. conversion loss, kurz CL) beschreibt die Differenz zwischen Eingangssignalleistung und der Leistung der erwünschten Harmonischen am Ausgang. Der Konversionsverlust wird in dB angegeben.
- **Unterdrückung**  
Die *Unterdrückung* (engl. rejection) bezeichnet die Differenz zwischen der Leistung der gewünschten Harmonischen und der Leistung einer unerwünschten Harmonischen am Ausgang des Vervielfachers. Die Unterdrückung wird auf die jeweilige Frequenz bezogen und in dBc angegeben.  
Beispiel: die Differenz der gewünschten Harmonischen und der unerwünschten dritten Harmonischen wird als  $3f_0$  *Unterdrückung* bezeichnet.
- **Isolation**  
Die *Isolation* (engl. isolation) bezeichnet im Gegensatz zur Unterdrückung die Differenz zwischen Eingangssignalleistung und Ausgangsleistung einer unerwünschten Harmonischen; die Angabe erfolgt in dB.

Beispiel: die Differenz zwischen Eingangssignalleistung und der Leistung der unerwünschten dritten Harmonischen am Ausgang wird als  $3f_0$  Isolation bezeichnet.

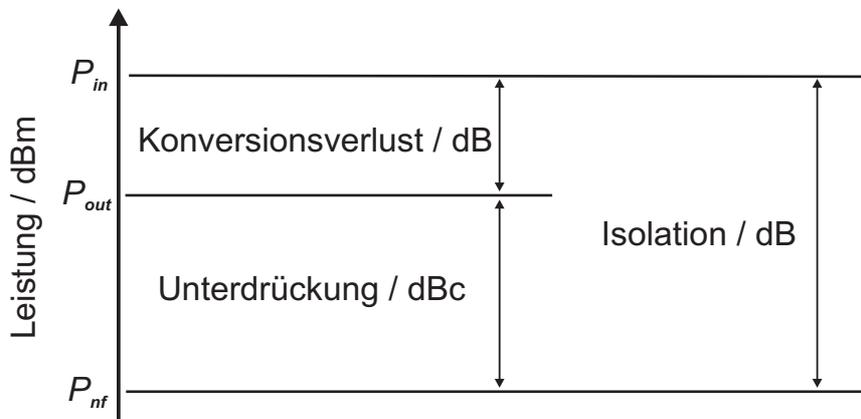


Abbildung 5.2.: Zusammenhang zwischen den verwendeten Begriffen.

Wie unschwer zu erkennen ist, sind Unterdrückung und Isolation eng miteinander verbunden; die Isolation ergibt sich aus der Addition von Konversionsverlust und Unterdrückung, siehe Abbildung 5.2. Dabei bezeichnet  $P_{in}$  die Eingangsleistung der Grundfrequenz,  $P_{out}$  die Ausgangsleistung der erwünschten Harmonischen.  $P_{nf}$  steht stellvertretend für die Leistung einer beliebigen der unerwünschten Harmonischen.

Es sei angemerkt, dass die hier aufgestellten Definitionen sich aus dem Verständnis der Begriffe der Datenblätter der verwendeten Bauteile ergeben [19], [26]; es kann durchaus sein, dass andere Hersteller die Begriffe in einem anderen Zusammenhang verwenden und die hiesigen Definition nicht mehr zutreffen.

### 5.3. Verdoppler

Der Frequenzverdoppler hat einen Eingangsfrequenzbereich von 0,80–1,50 GHz, am Ausgang dieses Zweigs stehen somit 1,60–3,00 GHz zur Verfügung. Das Blockschaltbild in Abbildung 5.3 gibt einen Überblick über den Aufbau.

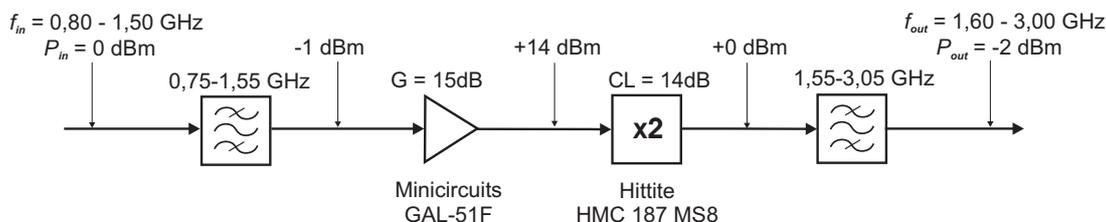


Abbildung 5.3.: Blockschaltbild des Verdoppler-Aufbaus.

Zu Beginn der Signalkette wird das Eingangssignal bandpassgefiltert. Das gefilterte Si-

gnal wird mit Hilfe eines Gainblocks<sup>1</sup> verstärkt, um einen genügend hohen Pegel am Eingang des Verdopplers zu gewährleisten. Das verdoppelte Signal wird ein weiteres Mal gefiltert, bevor es zur weiteren Verarbeitung zur Verfügung steht. Die hier vorgestellte Reihenfolge wurde gewählt, um den Verdoppler zusammen mit dem Gainblock auf eine Platine setzen zu können. Ein weiteres Filter (Bandpass) zwischen Gainblock und Verdoppler würde die universelle Verwendungsmöglichkeit einschränken.

### 5.3.1. Realisierung

Als Verdoppler wurde ein SMD-Bauteil von HITTITE, das Modell HMC187MS8, ausgesucht. Bei diesem Bauteil handelt es sich um einen passiven Verdoppler, der ohne externe Spannungsversorgung auskommt. Dementsprechend ist es wichtig, einen genügend hohen Pegel am Eingang des Bauteils zur Verfügung zu stellen. Die Tabelle zeigt die wichtigsten Betriebsdaten des Verdopplers, die dem Datenblatt [19] entnommen wurden.

Eingangsleistung $P_{in}$	+ 10 dBm	+ 15 dBm	+ 20 dBm
Frequenzbereich $f_{in}$	1,25–1,75 GHz	1,00–1,75 GHz	0,80–2,00 GHz
Konversionsverlust	18 dB typ.	14 dB typ.	15 dB typ.

Erste Messungen mit dem Verdoppler, gespeist mit einem Signalgenerator, haben gezeigt, dass ein Eingangspegel von  $P_{in} = + 15$  dBm ausreichend ist und in der Praxis der Frequenzbereich etwas großzügiger ausfällt. Auch der zu größeren Pegeln hin steigende Konversionsverlust ist ein Kriterium für die Wahl des mittleren Eingangspegels.

Die Signalkette des Verdoppler-Zweigs wurde in Abschnitt 5.3 schon kurz vorgestellt. In der folgenden Auflistung sollen noch einmal die Parameter zusammengefasst werden.

- Eingangsfrequenzbereich  $f_{in} = 0,80$ – $1,00$  GHz
- Ausgangsfrequenzbereich  $f_{out} = 1,60$ – $3,00$  GHz
- Eingangspegel  $P_{in} = 0$  dBm
- Ausgangspegel  $P_{out} = 0$  dBm

Als Eingangssignal dient das Ausgangssignal der PLL. Dieses hat einen Pegel von ca.  $P_{in} = 0$  dBm. Am Anfang der Verdopplerkette wird das Signal bandpassgefiltert. Es folgt ein Gainblock, also eine Verstärkerstufe mit fester Verstärkung. Zum Einsatz kommt ein GAL-51F, ein MMIC-Verstärker in SMD-Bauform von MINI-CIRCUITS. Vorteil dieser Gainblocks ist, dass sie am Ein- und Ausgang über den kompletten Arbeitsbereich des Verstärkers  $50 \Omega$ -angepasst und unbedingt stabil sind.

Die äußere Beschaltung und das Layout gestalten sich nicht aufwändig, neben der DC-Zuführung, die eine HF-Drossel und einen Widerstand zur Strombegrenzung beinhaltet,

<sup>1</sup>Umgangssprachliche Bezeichnung für einen Verstärker-Schaltkreis mit definiertem Eingangs- und Ausgangswiderstand.

werden in die Signalleitungen noch Kondensatoren gesetzt, die die Hochfrequenz und die Gleichspannung entkoppeln.

Nach dem Verdoppler, der zusammen mit dem Gainblock auf einer Platine integriert wurde, folgt noch ein Bandpassfilter, um ungewollte Harmonische und die Grundfrequenz am Ausgang zu unterdrücken.

Das Layout von Gainblock und Verdoppler wurde ebenfalls im Layouteditor Eagle [16] erstellt, das Schaltbild befindet sich im Anhang. Als Basismaterial wurde FR4<sup>2</sup> verwendet.

### 5.3.2. Messung

Die Messungen an der Verdopplerschaltung wurden mit Hilfe eines Signalgenerators und eines Spektrumanalysators gemacht.

#### Ausgangsspektrum

Für alle folgenden Messungen wurden bei verschiedenen Eingangsfrequenzen wurde eine Ausgangsleistung des Signalgenerators von 0 dBm gewählt.

Abbildung 5.4 zeigt das Ausgangsspektrum der Verdopplerschaltung mit einer Eingangsfrequenz  $f_{in} = 820$  MHz.

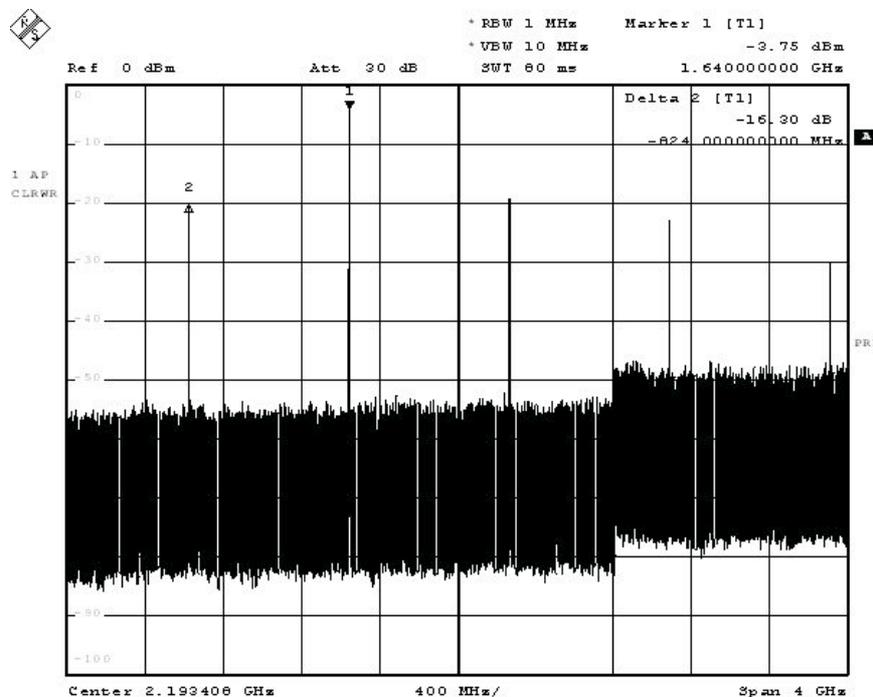


Abbildung 5.4.: Ausgangsspektrum mit  $f_{in} = 820$  MHz.

<sup>2</sup>Standard-Basismaterial mit  $\epsilon_r = 4,7$ .

Die  $f_0$ -Unterdrückung, also der Abstand zwischen verdoppelter Ausgangsfrequenz und unterdrückter Eingangsfrequenz, beträgt 16,3 dB. Dieser kleine Abstand ist darauf zurückzuführen, dass der Betrieb in diesem unteren Frequenzbereich laut Datenblatt erst mit einer Eingangsleistung von 20 dBm am Eingang des Verdopplers empfohlen wird, hier aber eine Eingangsleistung von 15 dBm anliegt. Aus Kapitel 4 ist bekannt, dass die PLL-Schaltung im unteren Frequenzbereich eine Ausgangsleistung von ungefähr 3 dBm hat; es kann angenommen werden, dass die Eingangsleistung am Verdoppler bei Verwendung der PLL etwas höher ausfällt und somit der Betrieb im unteren Frequenzbereich besser wird.

Die  $3f_0$ -Unterdrückung beträgt 15 dB. Diese liegt bei 2,46 GHz und somit noch im Durchlassbereich. Ein nachfolgendes Bandpassfilter wird bis zu einer Eingangsfrequenz von 1 GHz diese Frequenzanteile nicht unterdrücken können. Aber auch hier kann der zuvor genannte Zusammenhang mit der höheren Ausgangsleistung der PLL hinzugenommen werden, die Unterdrückung ungewollter Harmonischer fällt bei einer höheren Eingangsleistung am Verdoppler besser aus.

Die  $4f_0$ -Unterdrückung (3,28 GHz) beträgt 18 dB. Da die dritte Harmonische außerhalb des Durchlassbereichs (1,6–3,0 GHz) liegt, kann sie mit einem nachfolgenden Bandpassfilter noch zusätzlich unterdrückt werden.

In Abbildung 5.5 wurde ein Eingangssignal mit  $f_{in} = 1180$  MHz angelegt.

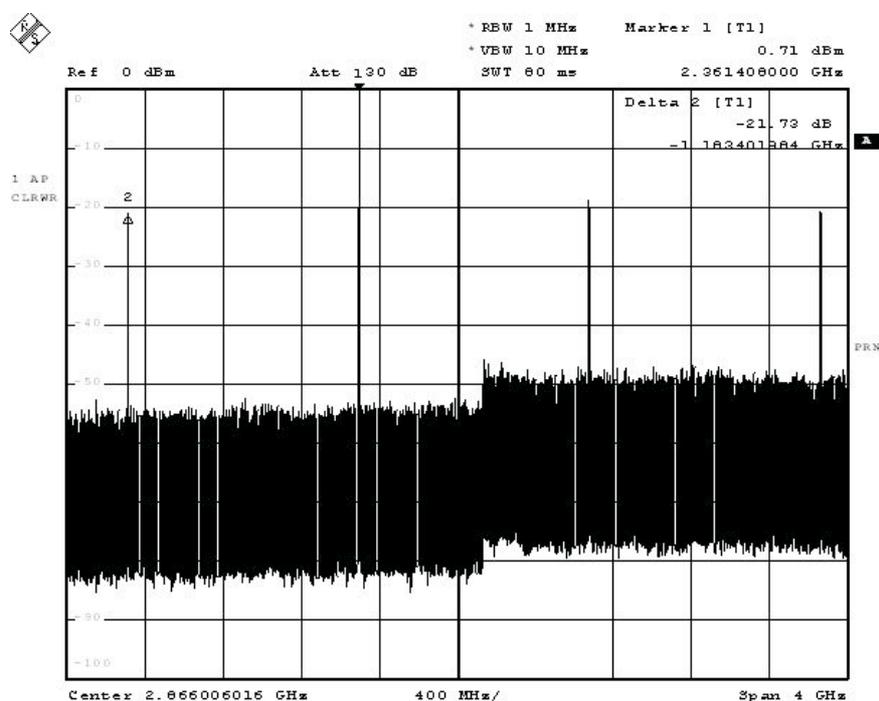


Abbildung 5.5.: Ausgangsspektrum mit  $f_{in} = 1180$  MHz.

Die Unterdrückung der Grundfrequenz (21,7 dB) und ungewollter Harmonischer (besser 20 dB) fällt besser als bei 820 MHz aus. Auch liegt die zweite Harmonische (3,54 GHz)

und somit auch alle höheren Frequenzanteile außerhalb des Durchlassbereichs und werden von einem nachfolgenden Filter unterdrückt.

Abbildung 5.6 zeigt das Ausgangssignal bei einer Eingangsfrequenz  $f_{in} = 1460$  MHz.

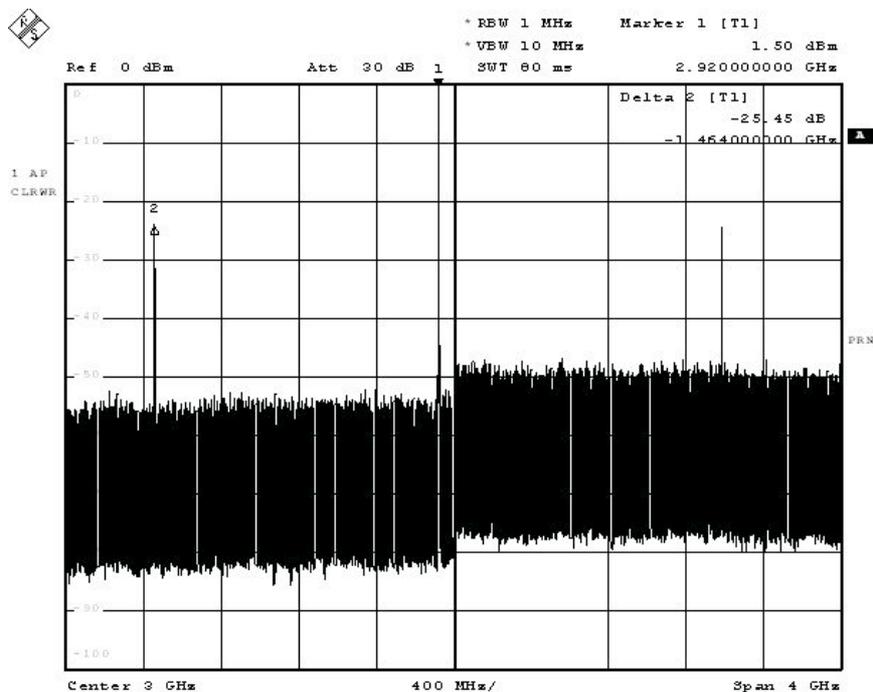


Abbildung 5.6.: Ausgangsspektrum mit  $f_{in} = 1460$  MHz.

Die Unterdrückung fällt bei der Grundfrequenz und bei den ungewollten Harmonischen  $> 25$  dB aus, was völlig ausreichend ist. Zudem kann ein nachfolgendes Filter weitere Unterdrückung ermöglichen.

### Vergleich zwischen gemessenen Werten und den Werten aus dem Datenblatt

Die folgende Tabelle vergleicht gemessene Werte mit dem aufgebauten Verdoppler mit den Angaben des Datenblatts.

	eigene Messung	Datenblatt	Einheit
Konversionsverlust	14	14	dB
$f_0$ Unterdrückung	22	31	dBc
$3f_0$ Unterdrückung	25	38	dBc
$4f_0$ Unterdrückung	26	26	dBc

Die Unterdrückung unerwünschter Harmonischer fällt in der Messung etwas schlechter aus als die Angaben im Datenblatt. Dies spielt aber weiter keine Rolle, da die gemessenen Werte für diese Anwendung vollkommen ausreichen.

## 5.4. Verdreifacher

Der Frequenzverdreifacher, der im dritten Zweig realisiert wird, hat die Aufgabe, den Eingangsfrequenzbereich von 1,00 - 1,43 GHz auf 3,00–4,30 GHz zu verdreifachen. Der Aufbau des Zweigs entspricht ungefähr dem des Verdopplerzweigs: zu Beginn wird das Eingangssignal bandpassgefiltert und anschließend verstärkt, um am Eingang des Verdreifachers den benötigten Pegel zu erhalten. Nach der Verdreifachung wird das Ausgangssignal ein weiteres Mal gefiltert. Abbildung 5.7 zeigt den schematischen Aufbau.

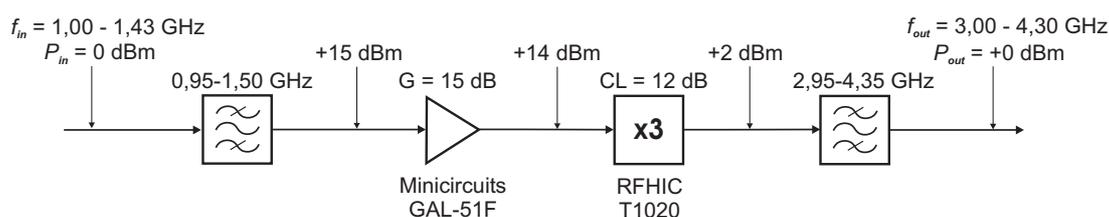


Abbildung 5.7.: Schematischer Aufbau des Verdreifachers.

Die Frequenzverdreifachung ist wie die Verdopplung, auf die nichtlinearen Effekte, welche in Kapitel 5.1 erläutert sind; auch hier basiert der Effekt auf der Verwendung der nichtlinearen Kennlinie eines Bauteils.

Bei der Recherche nach Bauteilen bot sich der Verdreifacher T1020 des koreanischen Herstellers RFHIC [26] an. Die Eckdaten entnimmt man der Tabelle. Auch dieses Bauteil ist, wie der Verdoppler, passiv ausgelegt, zum Betrieb benötigt man keine externe Spannungsversorgung.

Eingangsleistung $P_{in}$	+ 15 dBm
Frequenzbereich $f_{in}$	1,0–2,0 GHz
Konversionsverlust	12 dB

Bei der Anfrage beim deutschen Vertrieb stellte sich aber heraus, dass dieses Bauteil nicht lieferbar ist. Da es auf dem Markt auch kein vergleichbares Modell eines anderen Herstellers gab (Stand Juli 2003), wurde der Verdreifacher selbst entworfen.

### 5.4.1. Realisierung

In [18] wird zur Erzeugung ungeradzahlgiger Vielfachen die Verwendung eines antiparallelen Diodenpaares vorgeschlagen. Die Wirkungsweise ist dort erläutert.

Für den Frequenzverdreifacher wurde ein antiparalleles PIN-Diodenpaar ausgewählt. PIN-Dioden werden normalerweise für Schalt- und Dämpfungsvorgänge verwendet. Sie eignen sich aber auch zur Frequenzvervielfachung [20].

Die Wahl fiel auf das Diodenpaar HSMP-3822 von AGILENT [11]. Dieses Paar aus baugleichen Dioden wird in einem SOT-23 Gehäuse geliefert. Die Dioden werden im Layout zwischen Signalleitung und Durchkontaktierungen zur Masse angebracht.

Erste Messungen des Diodenpaares ergaben schon vielversprechende Ergebnisse. Das Paar wurde auf ein Substrat zwischen eine 50- $\Omega$ -Microstripleitung und Masse gesetzt. Abbildung 5.8 zeigt das Spektrum dieses Aufbaus, dabei wurde eine Eingangsfrequenz von  $f_{in} = 1,25$  GHz mit  $P_{in} = 16$  dBm gewählt.

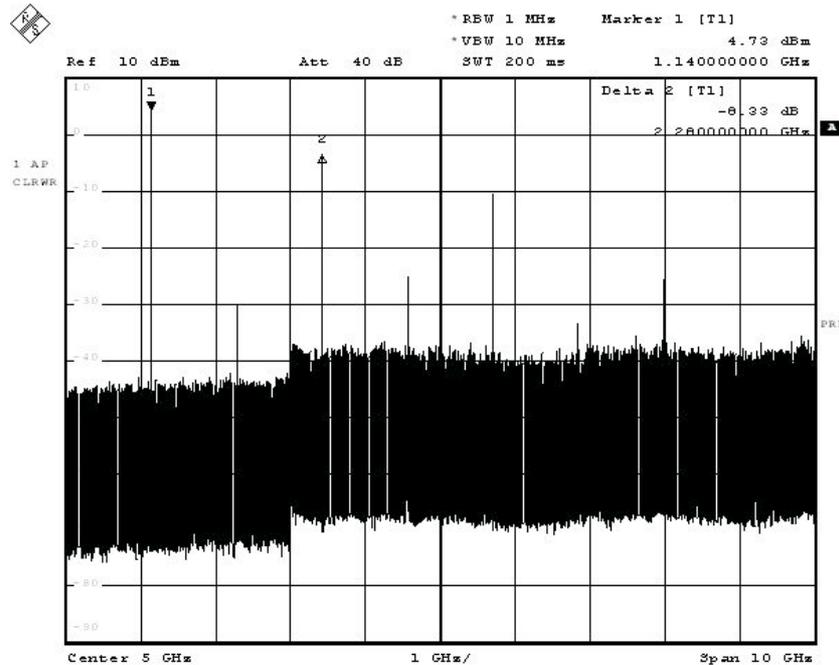


Abbildung 5.8.: PIN-Diodenpaar angeregt mit  $f_{in} = 1,25$  GHz,  $P_{out} = 16$  dBm.

## Anpassung

Der Entwurf von Anpassnetzwerken erfordert die Kenntnis der S-Parameter des anzupassenden Zweitorts. Für das Diodenpaar HSMP-3822 gibt der Hersteller keine S-Parameter-Datensätze an. Eigene Messungen der S-Parameter waren nicht möglich, da die vorhandenen vektoriellen Netzwerkanalysatoren<sup>3</sup> nicht für Messungen von Großsignalparametern ausgelegt sind und ein Umbau sich sehr umständlich gestalten würde. Die maximale Ausgangsleistung beträgt 0 dBm, der Betrieb des Diodenpaares erfordert aber ungefähr 15 dBm. Daher wurde nach einer anderen Möglichkeit gesucht. Das Diodenpaar wird im Folgenden vereinfacht als Diode bezeichnet.

Die allgemeinen Aussagen über Frequenzvervielfacher aus Abschnitt 5.1 können auch hier wieder hinzugezogen werden: der allgemeine Aufbau besteht neben dem frequenzzeugendem Element (der Diode) aus Anpassnetzwerken, Idler-Kreisen und Filtern. Bei breitbandigen Vervielfachern werden die Idler-Kreise weggelassen und deren Funktion durch die anderen Blöcke verwirklicht. Da es nun wegen fehlender Datensätze nicht

<sup>3</sup>HP 8510C, HP 8722D

möglich ist, die Anpassnetzwerke zu simulieren, soll auch deren Funktion von den letztlich verbleibenden Blöcken, den Filtern am Eingang und Ausgang, übernommen werden.

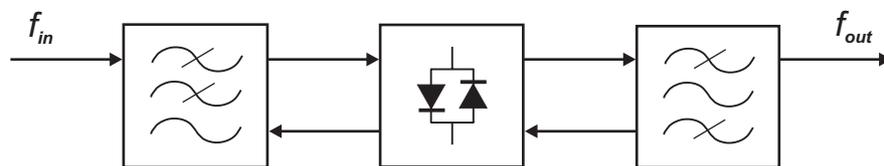


Abbildung 5.9.: Blockschaltbild des Verdreifachers mit PIN-Dioden.

Betrachten wir in Abbildung 5.9 das Tiefpassfilter am Eingang. Dieses lässt die Grundfrequenz passieren und zur Diode gelangen. Nun entstehen an der Diode durch die Nichtlinearität harmonische Frequenzanteile der Grundfrequenz. Neben ungeradzahligem Harmonischen entstehen aber auch geradzahliges. Diese harmonischen Anteile breiten sich zu beiden Seiten der Diode aus.

Das Tiefpassfilter stellt für diese Anteile eine große Impedanz dar. Sie werden reflektiert und laufen zurück zur Diode. Dort bilden sie Mischprodukte und somit auch weitere Leistungsanteile in der zweiten Harmonischen.

Am Ausgang kommt ein Bandpassfilter zum Einsatz, dessen Durchlassbereich dem Frequenzbereich der zweiten Harmonischen entspricht. Auch hier werden alle weiteren Frequenzanteile (auch die Grundfrequenz) reflektiert und wieder der Diode zugeführt.

Die Filter haben daher drei Aufgaben: Unterdrückung ungewollter Frequenzanteile, Reflexion dieser Anteile zur Diode zurück und Anpassung der Diode. Die ideale Position der Diode zwischen den beiden Filtern wurde durch Ausprobieren bestimmt: durch Verschieben der Diode entlang der Verbindungsleitung wurde versucht, eine Stelle zu finden, an der sowohl der Konversionsverlust möglichst gering als auch die Unterdrückung ungewollter Frequenzen möglichst groß ist.

Der Verdreifacher wurde auf RO3203<sup>4</sup>, einem HF-Substrat aus Keramik und Glasfaser mit  $\epsilon_r = 3,02$ , aufgebaut. Zu Beginn wurden die Filter in Microstriptechnik einzeln aufgebaut. Nach deren Optimierung wurde die Schaltung, bestehend aus Diodenpaar, Tiefpass- und Bandpassfilter, komplett auf einem Träger aufgebaut.

#### 5.4.2. Messungen

Wie beim zuvor besprochenen Frequenzverdoppler soll der Frequenzverdreifacher anhand einiger gemessenen Daten spezifiziert werden. Dabei werden die gemessenen Daten mit den Daten des nicht lieferbaren Verdreifachers T1020 von RFHIC verglichen.

<sup>4</sup>Rogers Corporation

### Verwendete Filter

Wichtiger Bestandteil des Verdreifachers sind die verwendeten Filter, ein Tiefpass am Eingang und ein Bandpass am Ausgang. Das Tiefpassfilter hat die Aufgabe, die Grundfrequenz mit  $f_{max} = 1,5$  GHz durchzulassen und höhere Frequenzanteile zu sperren. Das Bandpassfilter am Ausgang hat einen Durchlassbereich von 2,95–4,35 GHz und lässt lediglich die Frequenzanteile der zweiten Harmonischen  $3f_0$  passieren.

Die Filter werden in Kapitel 6 näher vorgestellt.

### Betrachtung verschiedener Ausgangsspektren

Am Besten lässt sich die Funktion des Verdreifachers anhand von gemessenen Daten aufzeigen. Dabei wurden im Folgenden bei drei verschiedenen Frequenzen die jeweiligen Ausgangsspektren auf einem Spektralanalysator dargestellt.

Die Auswahl der Frequenzpunkte wurde so getroffen, dass sie den gesamten Arbeitsbereich des Verdreifachers repräsentieren. Im Folgenden werden Messungen bei Eingangsfrequenzen von 1,02 GHz, 1,25 GHz und 1,41 GHz gezeigt. Dabei betrug die Eingangsleistung +16 dBm.

- $f_{in} = 1,02$  GHz

Die erste Eingangsfrequenz beträgt  $f_{in} = 1,02$  GHz. Damit steht am Ausgang als zweite Harmonische  $f_{out} = 3,06$  GHz zur Verfügung. Abbildung 5.10 zeigt das Ausgangsspektrum.

Gut zu sehen ist die zweite Harmonische bei 3,06 GHz mit einem Pegel von -1,9 dBm. Weiterhin sieht man bei 4,08 GHz die dritte Harmonische mit einem Pegel von -32 dBm und bei 5,10 GHz die vierte Harmonische mit einem Pegel von ca. -39 dBm. Die dritte Harmonische liegt noch im Durchlassbereich des Bandpassfilters, sie bildet sich aber durch den antiparallelen Aufbau des Verdreifachers kaum aus.

In beiden Fällen ist die Unterdrückung besser 30 dBc und damit hier ausreichend.

- $f_{in} = 1,25$  GHz

In Abbildung 5.11 wurde eine Eingangsfrequenz 1,25 GHz gewählt, somit liegt die zweite Harmonische bei 3,75 GHz.

Die Leistung der zweiten Harmonischen beträgt dabei 1,9 dBm, weitere Harmonische sind bis zu einem Pegel von -40 dBm nicht zu sehen. Diese gute Unterdrückung ist unter anderem auch auf die Verwendung des Bandpassfilters am Ausgang zurückzuführen, denn alle Harmonischen oberhalb der zweiten liegen außerhalb dessen Durchlassbereiches.

- $f_{in} = 1,41$  GHz

Die letzte Abbildung 5.12 stellt den oberen Frequenzbereich des Verdreifachers dar.

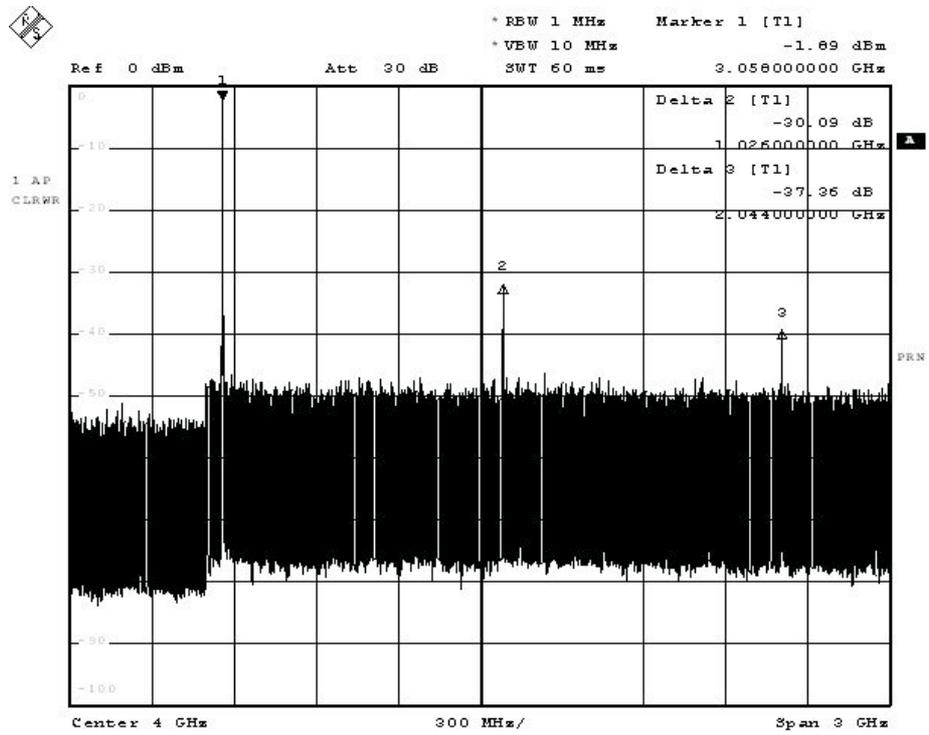


Abbildung 5.10.: Ausgangsspektrum des Verdreifachers,  $f_{in} = 1,02$  GHz.

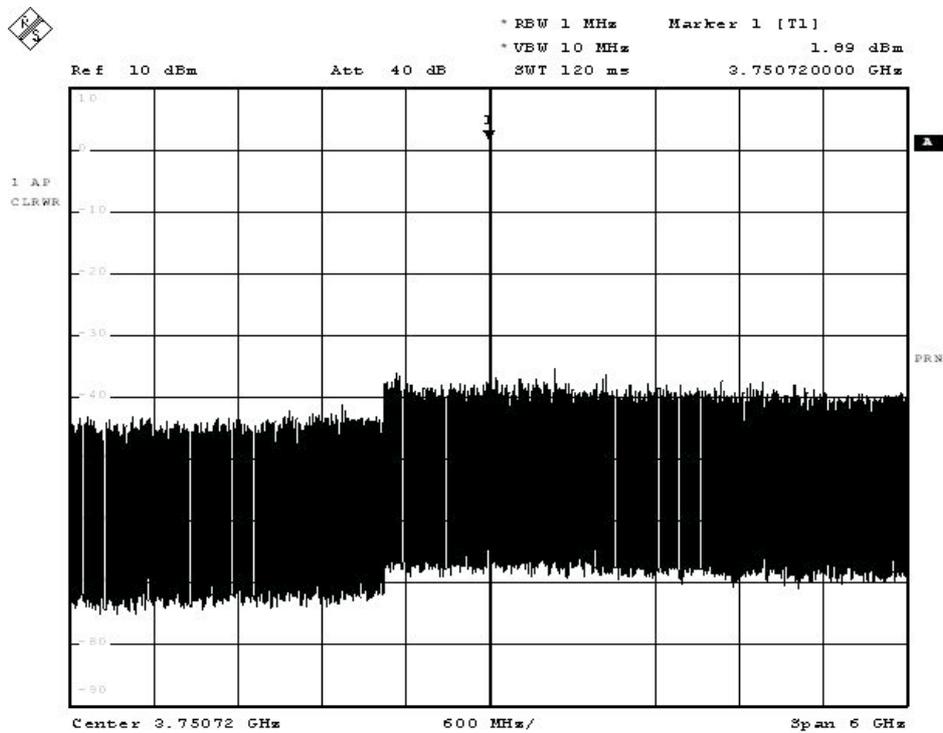


Abbildung 5.11.: Ausgangsspektrum des Verdreifachers,  $f_{in} = 1,25$  GHz.

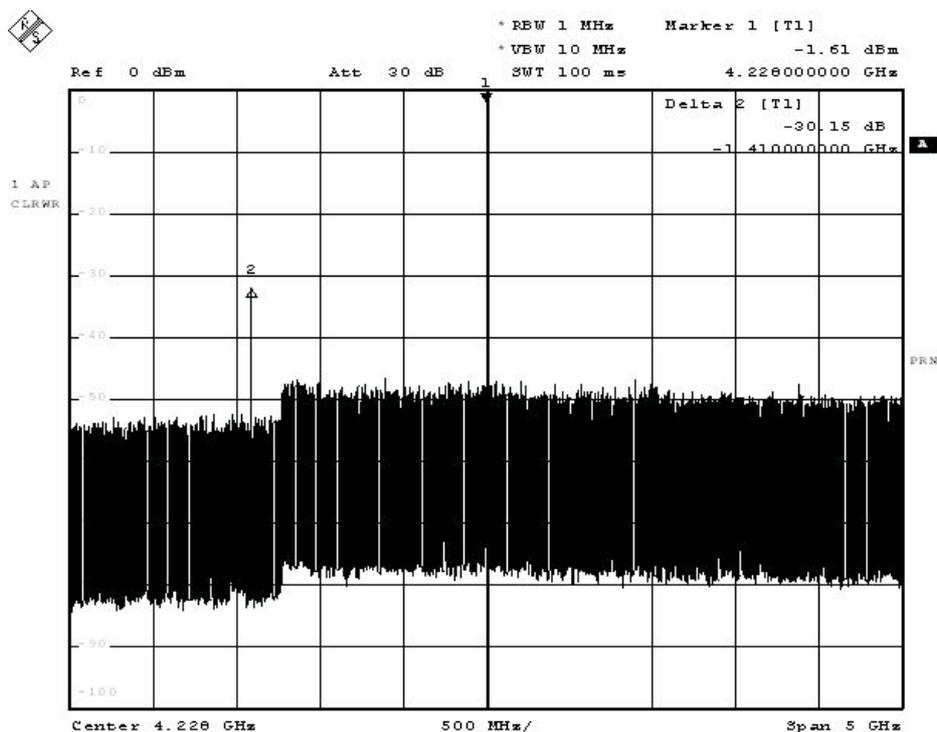


Abbildung 5.12.: Ausgangsspektrum des Verdreifachers,  $f_{in} = 1,41$  GHz.

Die zweite Harmonische bei 4,23 GHz hat einen Pegel von -1,6 dBm. Lediglich die erste Harmonische bei 2,82 GHz ist im Spektrum sichtbar, ihre Leistung beträgt ca. -32 dBm.

### 5.4.3. Vergleich mit RFHIC T1020

Die folgende Tabelle stellt einen Vergleich auf zwischen den Datenblattangaben des T1020 und den gemessenen Daten des selbstentwickelten Verdreifachers.

	PIN	T1020	Einheit
Konversionsverlust	16	14	dB
$f_0$ Unterdrückung	>40	3	dBc
$2f_0$ Unterdrückung	>40	27	dBc
$4f_0$ Unterdrückung	>40	28	dBc
$5f_0$ Unterdrückung	>40	16	dBc

Der Konversionsverlust fällt beim PIN-Dioden-Verdreifacher etwas schlechter aus; dafür ist die Unterdrückung aller weiteren Frequenzanteile besser als die des T1020 von RFHIC. Dies ist aber auch darauf zurückzuführen, dass der PIN-Dioden-Verdreifacher schon Filter am Eingang und Ausgang zur Unterdrückung beinhaltet. Dies ist bei den Daten des T1020 nicht der Fall.

## 6. Filter

Das Anwendungsspektrum von Filtern in der Elektrotechnik und insbesondere in der Hochfrequenztechnik ist sehr groß. Filter sind in ihrer vielfachen Ausführung nicht mehr wegzudenken und ein wichtiger Bestandteil vieler Konzepte.

Im Rahmen dieser Diplomarbeit wurden mehrere Filter entwickelt und aufgebaut. Dabei wurden Tiefpassfilter mit konzentrierten Komponenten (Induktivitäten, Kapazitäten) und Tiefpass- und Bandpassfilter in Microstrip-Technik realisiert. Zu Beginn des Kapitels wird auf den Entwurf diskreter Filter eingegangen, bevor dann ausführlicher die Synthese von Microstrip-Filtern gezeigt wird.

### 6.1. Diskret aufgebaute Filter

Diskret aufgebaute Filter werden auch als LC-Filter bezeichnet, da sie mit Hilfe von konzentrierten Komponenten, d. h. mit Induktivitäten (L) und Kapazitäten (C), realisiert werden. Ihr Einsatz bei Verwendung von Standardkomponenten umfasst den Frequenzbereich von DC - 1 GHz, oberhalb werden die Werte der Bauteile sehr klein und deren Ungenauigkeit nimmt zu. Parasitäre Effekte durch Leitungen und Anschluss pads usw. haben deutlichen Einfluss.

Die Berechnung der Komponenten lässt sich mit einer Vielzahl von Tools durchführen; dabei können neben der Filterform und Filterfunktion (Chebyshev, Bessel, Butterworth usw.) auch die Ordnung und der Aufbau beliebig gewählt werden.

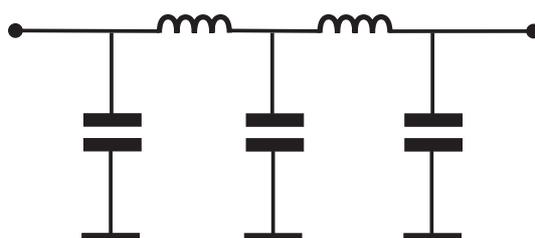


Abbildung 6.1.: Tiefpass Grundschtaltung.

Ausgangspunkt der Berechnung ist die normierte Tiefpass-Grundschtaltung in Abbildung 6.1<sup>1</sup>. Von dieser Standardform lassen sich durch Frequenztransformation sowohl Hochpass- als auch Bandpassfilter ableiten. Die Charakteristik des Filters wird mit Hilfe von Wertetabellen, in denen normierte Werte der Elemente abgelegt sind, bestimmt. Auf dem Markt gibt es eine Vielzahl von kommerzieller Filtersynthesoftware. Zur Berechnung einfacher LC-Filter wird hier auf ein Tool zurückgegriffen, welches als Freeware

---

<sup>1</sup>Eine mögliche Darstellung.

im Internet erhältlich ist. Die hier vorgestellten und realisierten Filter wurden mit “Elsie Filter“ [17] berechnet und optimiert, bevor sie aufgebaut und vermessen wurden.

### 6.1.1. Tiefpass

Für die Verwendung im DDS-Block wurden Tiefpässe mit Eckfrequenzen von 10 MHz und 50 MHz mit SMD-Bauteilen aufgebaut. Der Designprozess sah in beiden Fällen folgendermaßen aus:

- Berechnung der Komponenten mit Elsie
- Aufbau des Filters auf FR4
- Messung der Filterkurve mit Hilfe des Netzwerkanalysators
- Korrektur der Werte, um gewünschten Filterverlauf zu erhalten

### 6.1.2. Realisierung

Beide Filter haben eine Chebyshev-Charakteristik mit 0,1 dB Ripple im Durchlassbereich.

- Tiefpass  $f_c = 10,8$  MHz  
Das Ausgangssignal des DDS beinhaltet neben dem 10 MHz-Vergleichssignal höherfrequente Mischprodukte. Diese werden mit einem Tiefpassfilter 5. Ordnung mit einer Eckfrequenz  $f_c = 10,8$  MHz unterdrückt.

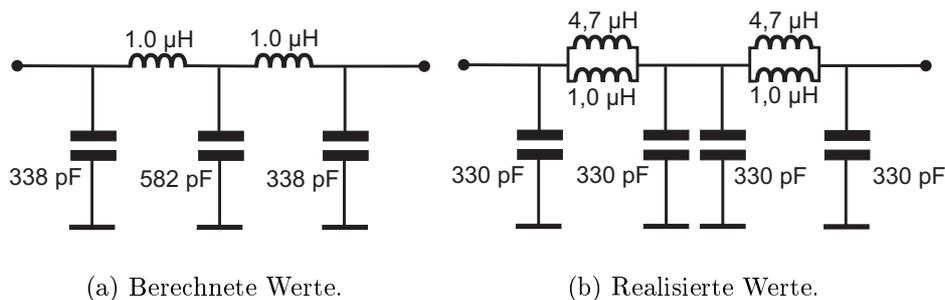


Abbildung 6.2.: 10,8 MHz-Tiefpass.

Abbildung 6.2(a) zeigt den schematischen Aufbau des Filters. Die Realisierung des Filters mit Standard-Komponenten zeigte einen abweichenden, weniger befriedigenden Verlauf. Die Cut-Off-Frequenz  $f_c$  lag zu niedrig und bedämpfte das Ausgangssignal. Durch Optimieren der Bauteilgrößen wurde aber der gewünschte Verlauf realisiert.

Abbildung 6.3 vergleicht die Transmission  $S_{21}$  des Filters. Die gestrichelte Linie

zeigt dabei den simulierten Verlauf mit den berechneten Komponentenwerten, die durchgezogene Linie die gemessene Transmission des realisierten Filters. Die aktuellen Bauteilwerte entnimmt man der schematischen Darstellung in Abbildung 6.2(b).

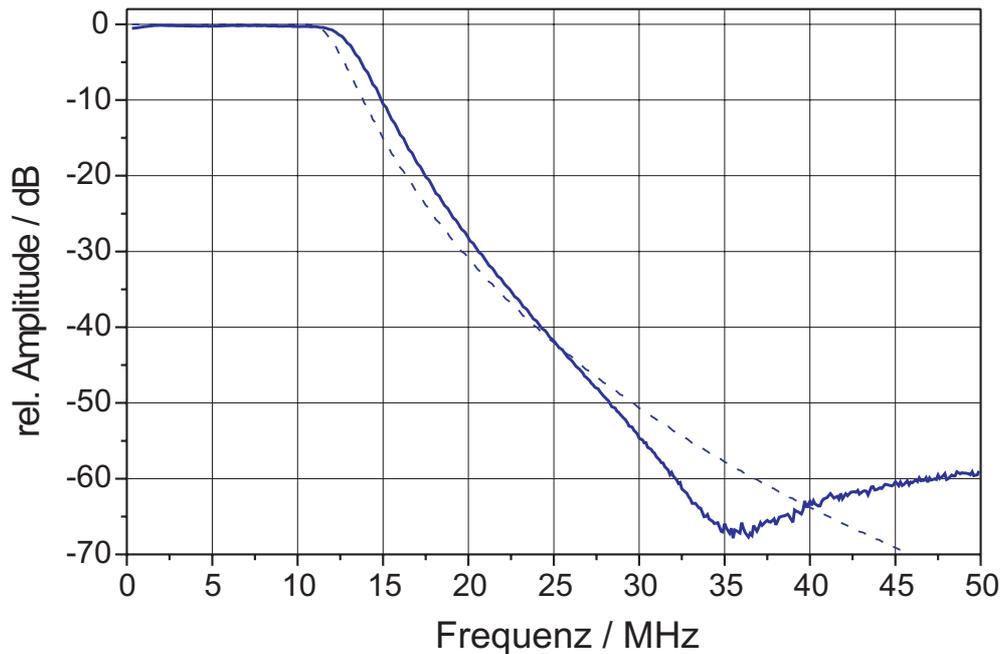


Abbildung 6.3.: Transmission  $S_{21}$  des 10,8 MHz-Tiefpasses.

- Tiefpass  $f_c = 50,8$  MHz  
 Das Clocksignal  $f_{clk} = 50$  MHz für den DDS kommt von einem Signalgenerator. Zur Unterdrückung harmonischer Anteile wird ein Tiefpassfilter 5. Ordnung mit einer Eckfrequenz  $f_c = 50,8$  MHz eingesetzt. Die berechneten Werte sind in Abbildung 6.4(a) dargestellt, Abbildung 6.5 gibt die simulierte Transmission durch den gestrichelten Verlauf wieder.

Auch hier entsprach die Realisierung nicht ganz den Anforderungen; die Filterkurve fiel zu tief aus, das 50 MHz-Signal wurde zu stark bedämpft. Durch Optimieren der Bauteilwerte konnte die Cut-Off-Frequenz höher gelegt werden.

Die gemessene Transmission des realisierten Filters gibt Abbildung 6.5 wieder. Die aktuellen Werte der Bauteile entnimmt man 6.4(b).

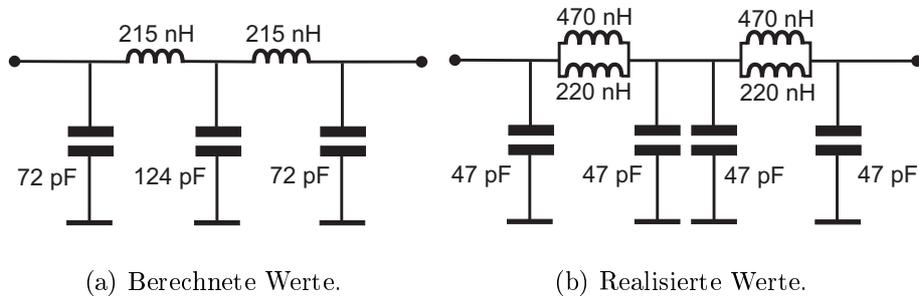
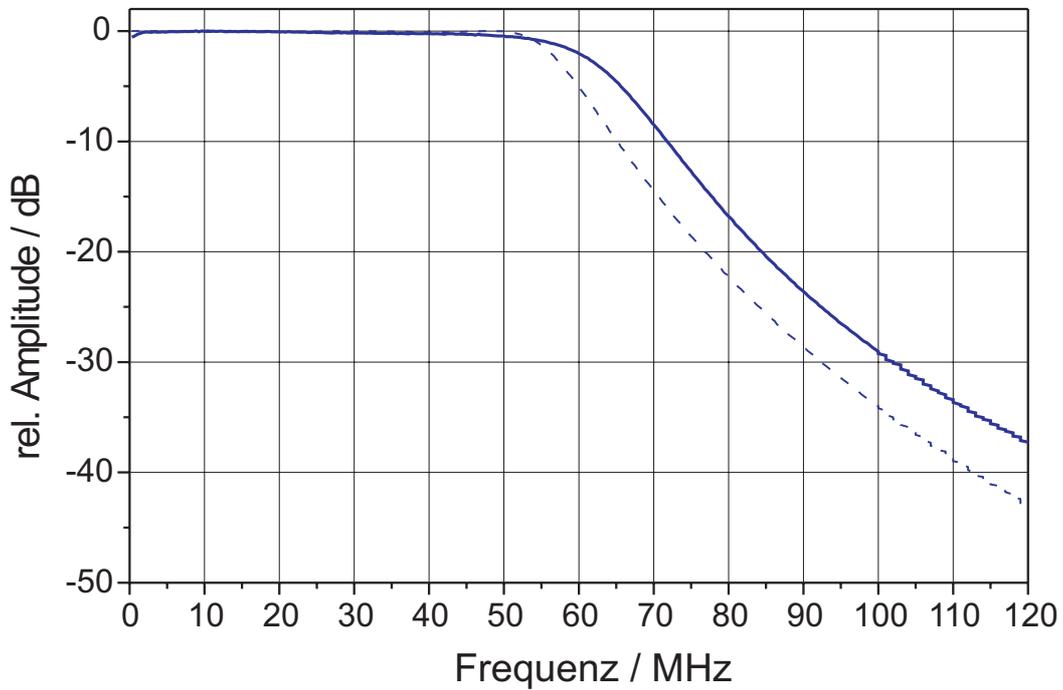


Abbildung 6.4.: 50,8 MHz-Tiefpass.

Abbildung 6.5.: Transmission  $S_{21}$  des 50,8 MHz-Tiefpasses.

## 6.2. Microstripfilter

Die Realisierung von Filtern in Microstriptechnik, also durch Leitungselemente, wird dann interessant, wenn man in Frequenzbereiche kommt, in denen einerseits konzentrierte Elemente nicht mehr genau genug sind, aber auch die Leitungsgrößen kompakt werden. Dies ist auch einer der großen Vorteile von Microstripfiltern: kompakte Abmessungen von ca. 700 MHz bis in den Terahertz-Bereich sind durch die kleine Wellenlänge und geeignete Substratwahl kein Problem.

Der Entwurf von Microstripfiltern geht im Wesentlichen auf die Überführung von konzentrierten in leitungsgebundene Elemente zurück. Im Folgenden soll eine Herleitung für die Tiefpass Grundschialtung gezeigt werden. Grundkenntnisse über Microstripleitungen, wie sie z. B. in [14] und [28] vermittelt werden, werden vorausgesetzt.

### Entwurf

Der praktische Entwurf gestaltet sich durch die Verwendung von Simulationssoftware sehr komfortabel. Dabei wird das Filter schematisch aufgebaut, simuliert und optimiert. Die Messergebnisse der Simulation können in Diagrammen dargestellt werden, aus dem schematischen Aufbau lässt sich das Layout generieren.

Der Entwurf der Filter wurde mit ADS (Advanced Design System) von AGILENT durchgeführt. Neben der Simulation eines Filters können zur Verbesserung der Eigenschaften Optimierungsverfahren eingesetzt werden. Weiterhin stellt ADS die Funktion Tune (engl. Abstimmung) zur Verfügung, die eine schrittweise Veränderung von Bauteilwerten ermöglicht und das sofortige Simulationsergebnis darstellt.

### 6.2.1. Stepped Impedance Tiefpass

Eine Möglichkeit, Tiefpassfilter in Microstriptechnik zu realisieren, ist der Aufbau sogenannter Stepped Impedance Filter [21]. Diese Filterstruktur besteht aus sich abwechselnden Leitungsabschnitten großer und kleiner Impedanz.

Wir betrachten einen Abschnitt eines Leitungsstücks mit dem Wellenwiderstand  $Z$  und kurzer elektrischer Länge  $\beta l$  (in rad), wie in Abbildung 6.6 als Ersatzschaltbild dargestellt. Dabei wird das Leitungsstück beidseitig mit einer Leitung mit  $Z = Z_0$  abgeschlossen.

- Wellenwiderstand  $Z_h \gg Z_0$  (h=high)  
Das Ersatzschaltbild kann vereinfacht werden durch eine in Reihe geschaltete Induktivität, siehe Darstellung 6.7(a).
- Wellenwiderstand  $Z_l \ll Z_0$  (l=low)  
Das Ersatzschaltbild kann vereinfacht werden durch eine parallel geschaltete Ka-

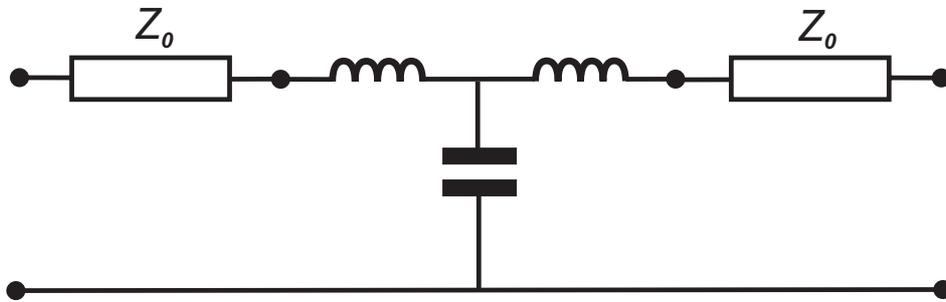
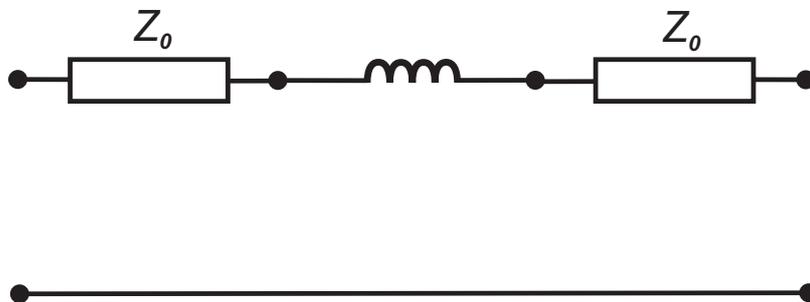
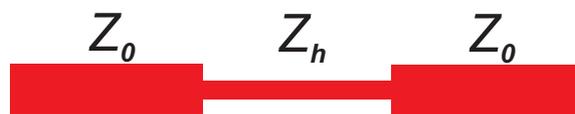


Abbildung 6.6.: Standard-TP als Leitungsstück.



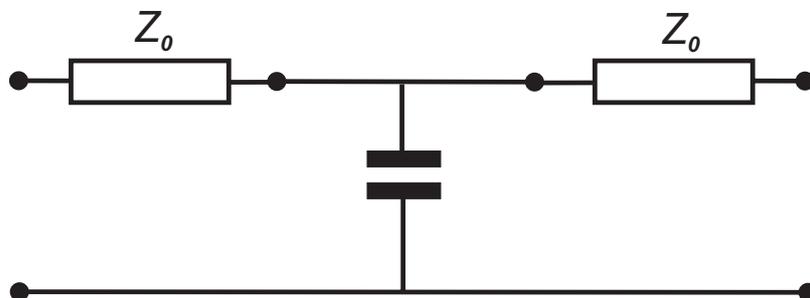
(a) Ersatzschaltbild.



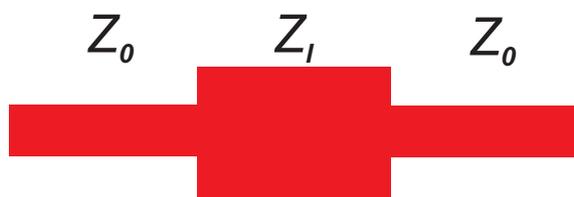
(b) Überführung in Microstrip-Leitung.

Abbildung 6.7.: Vereinfachung für großen Wellenwiderstand  $Z_h$ .

pazität, siehe Darstellung 6.8(a).



(a) Ersatzschaltbild.



(b) Überführung in Microstrip-Leitung.

Abbildung 6.8.: Vereinfachung für kleinen Wellenwiderstand  $Z_l$ .

Wir können nun unter den getroffenen Annahmen die Elemente eines Tiefpassfilters durch Elemente in Microstriptechnik ersetzen. Dabei wird die Induktivität, wie in 6.7(b) dargestellt, durch ein Leitungsstück hoher Impedanz, die Kapazität, wie in 6.8(b) dargestellt, durch ein Leitungsstück niedriger Impedanz ersetzt.

### Designvorschrift

In Abhängigkeit vom gewählten Substrat bestimmt man die kleinste und die größte Impedanz. Dabei hängt die größte realisierbare Impedanz  $Z_h$  von der kleinsten noch realisierbaren Leiterbreite  $w$  ab. Die kleinste Impedanz  $Z_l$ , die in Microstriptechnik durch eine breite Leitung festgelegt wird, ist nicht so kritisch. Die Leitung sollte aber nicht zu breit gewählt werden, um die Entstehung transversaler Moden zu verhindern.

Nach Ermittlung der Impedanzwerte können die Längen der Leitungsabschnitte  $\beta l$  berechnet werden. Die gewünschte Filtercharakteristik kann durch Wahl der entsprechenden normierten Werte  $g_0, g_1, \dots$ , die aus Filtertabellen entnehmbar sind, festgelegt werden.

Für kurze Leitungsabschnitte kleiner Impedanz (kapazitiv) gilt

$$\beta l_C = g_i \frac{Z_l}{Z_0} \quad / \text{rad} \tag{6.1}$$

für kurze Leitungsabschnitte großer Impedanz (induktiv) gilt

$$\beta l_L = g_i \frac{Z_0}{Z_h} \quad / \text{rad} \quad (6.2)$$

Anhand dieser Werte lassen sich die entsprechenden Microstripsegmente bestimmen und das Filter aufbauen. Abbildung 6.9 zeigt den schematischen Aufbau eines Stepped Impedance Tiefpasses.

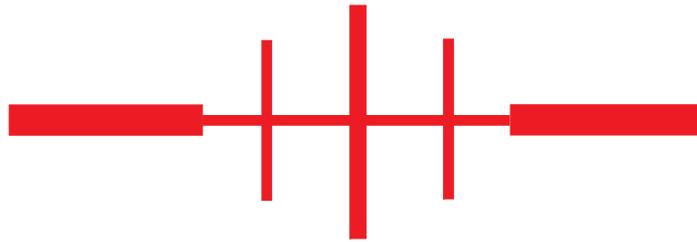


Abbildung 6.9.: Schematischer Aufbau eines Stepped Impedance Tiefpasses.

### Realisierung

Der hier vorgestellte Tiefpass wird am Eingang des Verdreifachers eingesetzt. Der Eingangsfrequenzbereich des Verdreifachers beträgt 1,00–1,43 GHz, die Cut-Off-Frequenz des Tiefpasses wurde mit  $f_c = 1,6$  GHz etwas höher gewählt. Das Filter ist ein Tiefpassfilter siebter Ordnung, es hat vier Abschnitte hoher Impedanz und drei Abschnitte niedriger Impedanz.

Realisiert wird das Filter auf RO3203<sup>2</sup> mit  $\varepsilon_r = 3,02$ . Die Substrathöhe beträgt  $h = 0,762$  mm. Damit erhalten wir folgende Impedanzwerte:

$$\begin{aligned} Z_0 &= 50 \Omega & w_0 &= 1,88 \text{ mm} \\ Z_h &= 134 \Omega & w_h &= 0,20 \text{ mm} \\ Z_l &= 7 \Omega & w_l &= 21,60 \text{ mm} \end{aligned}$$

Ausgangspunkt für die Filtercharakteristik ist die normierte Darstellung<sup>3</sup> des Tiefpasses, siehe Abbildung 6.10. Dieses Filter siebter Ordnung hat eine Chebyshev-Charakteristik mit 0,1 dB Ripple.

Wir entnehmen der Darstellung die normierten Werte der Komponenten:

$$\begin{aligned} g_{L1} &= 1,181 \\ g_{L2} &= 2,097 \\ g_{C1} &= 1,423 \\ g_{C2} &= 1,573 \end{aligned}$$

<sup>2</sup>Rogers Corporation

<sup>3</sup>Normierung  $z_i = \frac{Z_i}{Z_0}$

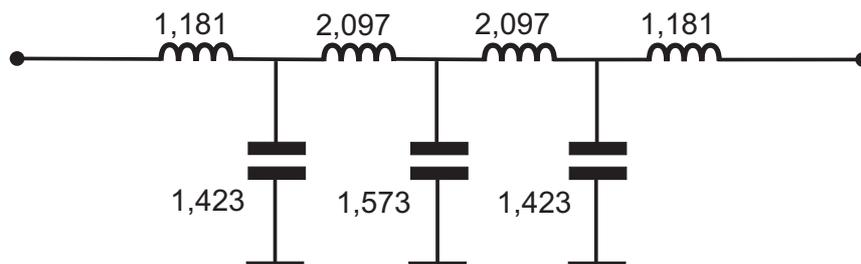


Abbildung 6.10.: Normierte Darstellung eines Tiefpassfilters 7. Ordnung.

Wenden wir nun die Gleichungen 6.1 und 6.2 an, so können wir schreiben:

$$\begin{aligned}\beta l_{L1} &= g_{L1} \frac{Z_0}{Z_h} = 1,181 \frac{50}{134} \triangleq 25,3^\circ \\ \beta l_{L2} &= g_{L2} \frac{Z_0}{Z_h} = 2,097 \frac{50}{134} \triangleq 44,9^\circ \\ \beta l_{C1} &= \frac{1}{g_{C1}} \frac{Z_l}{Z_0} = \frac{1}{1,423} \frac{7}{50} \triangleq 5,6^\circ \\ \beta l_{C2} &= \frac{1}{g_{C2}} \frac{Z_l}{Z_0} = \frac{1}{1,573} \frac{7}{50} \triangleq 5,1^\circ\end{aligned}$$

Da sich  $g_{C1}$  und  $g_{C2}$  auf die Admittanzwerte beziehen, wir aber mit Impedanzen rechnen, setzen wir jeweils  $\frac{1}{g_{C_i}}$  ein.

Damit erhalten wir für die Leitungsabschnitte folgende Dimensionen:

$$\begin{aligned}L_1: l_{L1} &= 9,00 \text{ mm}, & w_{L1} &= 0,2 \text{ mm} \\ L_2: l_{L2} &= 15,98 \text{ mm}, & w_{L2} &= 0,2 \text{ mm} \\ C_1: l_{C1} &= 1,72 \text{ mm}, & w_{C1} &= 21,6 \text{ mm} \\ C_2: l_{C2} &= 1,57 \text{ mm}, & w_{C2} &= 21,6 \text{ mm}\end{aligned}$$

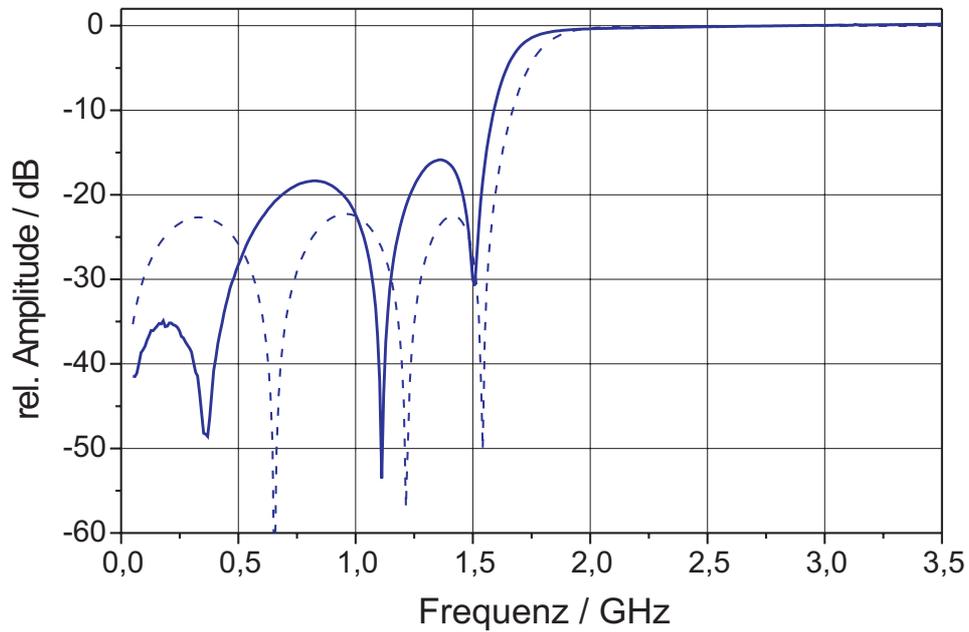
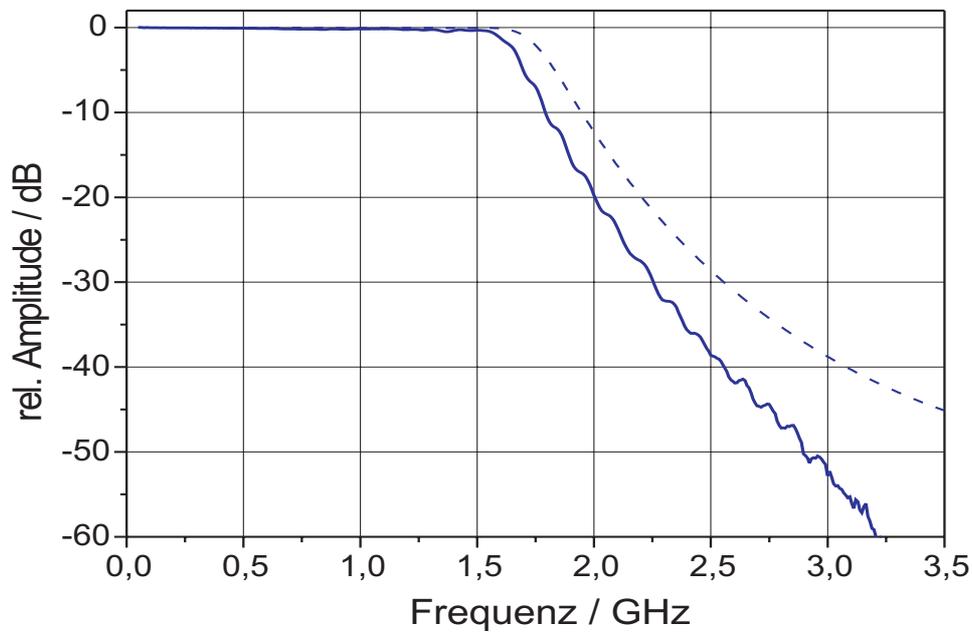
Mit diesen Daten wurde in ADS das Filter schematisch aufgebaut. Nach der Optimierung der Filtereigenschaften wurde das Filter mit den folgenden Dimensionen realisiert:

$$\begin{aligned}L_1: l_{L1} &= 7,33 \text{ mm}, & w_{L1} &= 0,25 \text{ mm} \\ L_2: l_{L2} &= 16,68 \text{ mm}, & w_{L2} &= 0,38 \text{ mm} \\ C_1: l_{C1} &= 2,00 \text{ mm}, & w_{C1} &= 23,38 \text{ mm} \\ C_2: l_{C2} &= 1,84 \text{ mm}, & w_{C2} &= 27,77 \text{ mm}\end{aligned}$$

Abbildung 6.11 zeigt die Reflexion  $S_{11}$  des Filters. Dabei stellt die gestrichelte Linie den simulierten, die durchgezogene Linie den gemessenen Verlauf dar.

Die Anpassung  $S_{11}$  im Durchlassbereich ist für das realisierte Filter besser 16 dB und damit völlig ausreichend für die Anwendung.

In Abbildung 6.12 werden Simulation und Messung für die Transmission der Filters

Abbildung 6.11.: Reflexion  $S_{11}$  des Tiefpassfilter 1,6 GHz.Abbildung 6.12.: Transmission  $S_{21}$  des Tiefpassfilter 1,6 GHz.

dargestellt.

Der Grafik entnimmt man, dass die Durchgangsdämpfung  $S_{21}$  bis zur Grenzfrequenz besser 0,5 dB ist. Die Grenzfrequenz  $f_c$  fällt in der Realisierung etwas niedriger aus, was aber keinen Einfluss auf den Durchlassbereich hat, da die höchste Eingangsfrequenz 1,43 GHz beträgt. Sehr gut zu sehen ist auch die höhere Dämpfung des Filters gegenüber der Simulation zu höheren Frequenzen hin.

Abbildung 6.13 zeigt das realisierte Filter. Nach erfolgreichen Messungen wurde es in die Verdreifacherschaltung integriert.

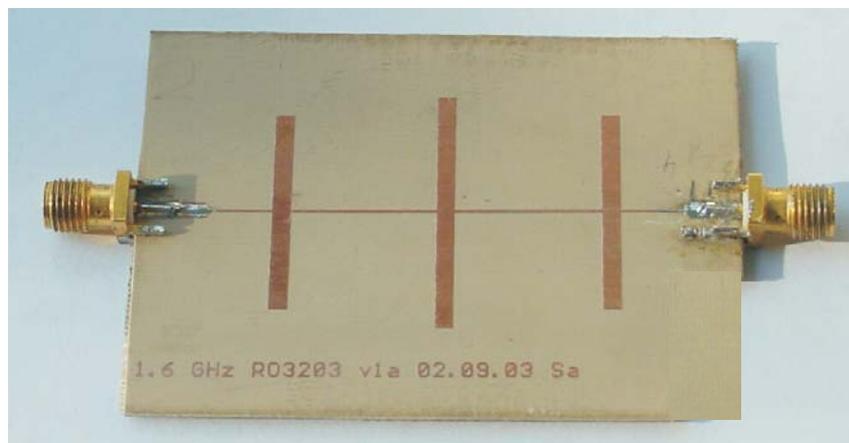


Abbildung 6.13.: Das auf RO3203 realisierte Tiefpassfilter mit  $f_c = 1,6$  GHz.

### 6.2.2. Bandpass

Für die Verwendung in den Vervielfacherstufen im dritten Block wurden Bandpassfilter in Microstriptechnik entwickelt und aufgebaut. Im Rahmen dieser Arbeit wurden zwei Varianten realisiert, die im Folgenden aufgeführt werden.

#### Coupled Line Bandpass

Das Coupled Line Filter besteht aus gekoppelten Leitungsstücken, die bei Mittenfrequenz  $f_0$  die Länge  $\lambda/2$  haben. Die Länge der Kopplung zwischen benachbarten Leiterpaaren beträgt  $\lambda/4$ . Abbildung 6.14 zeigt den schematischen Aufbau.

Dieser Filtertyp eignet sich für kleine bis mittlere Bandbreiten (kleiner 40%). Je nach Frequenzbereich und Anforderungen fallen die Filter recht groß aus. Die Ordnung des Filters wird durch die Anzahl der  $\lambda/2$  langen Resonatoren bestimmt. Dabei werden bei höheren Ordnungen die Flanken des Filters steiler und die Bandbreite größer. Die Realisierung ist nur in Microstriptechnik möglich.

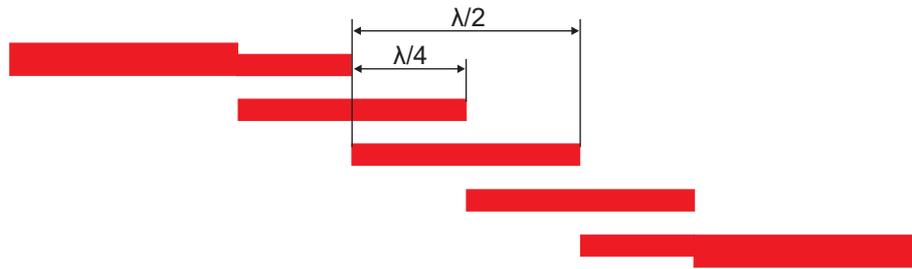


Abbildung 6.14.: Schematischer Aufbau eines Coupled Line Bandpasses.

Die Herleitung dieses Filters und dessen Entwurf ist in [22] gegeben. Im Rahmen dieser Ausarbeitung soll der praktische Entwurf mit Hilfe von EDA-Software (Electronic Design Automation) gezeigt werden. Dabei wird die Realisierung anhand eines Beispiels vorgestellt.

Ausgangspunkt des Entwurfs ist die Festlegung der Parameter, der Filtercharakteristik und die Auswahl des Substrats. Als Variablen dienen in erster Linie die Leiterbreiten  $w_i$  der Leitungstücke und die Schlitzbreiten  $s_i$  zwischen den Leitern. Üblicherweise werden alle Resonatoren mit der gleichen Leiterbreite gewählt.

Die Auswahl des Substrats bezüglich der Dielektrizitätszahl  $\epsilon_r$  und der Substrathöhe  $h$  entscheidet auch die geometrischen und fertigungstechnischen Eigenschaften des Filters. Ein großes  $\epsilon_r$  führt zu einer kompakten Größe des Filters (Wellenlängenverkürzung im Dielektrikum), die Leitungslängen und die Leiterbreiten werden kleiner. Ein kleines  $h$  führt ebenfalls zu kleinen Leiterbreiten. Hier muss also ein Kompromis zwischen geometrischer Größe und der fertigungstechnischen Machbarkeit gefunden werden. Dies fällt besonders beim Entwurf breitbandiger Filter ins Gewicht, denn die Breitbandigkeit fordert neben einer hohen Ordnung des Filters auch eine starke Kopplung, die sich in Form kleiner Schlitzbreiten  $s_i$  ausdrückt.

### Realisierung

Das Filter, das im Folgenden beschrieben wird, wurde als Ausgangsfilter in der Verdreifacherschaltung aus Kapitel 5 verwendet. Seine Aufgabe besteht darin, nur die erwünschte dritte Harmonische des Eingangssignals passieren zu lassen und alle weiteren Frequenzanteile zu sperren.

Der Ausgangsfrequenzbereich der dritten Harmonischen beträgt 3,00–4,30 GHz. Für das Filter wurde dadurch ein Durchgangsfrequenzbereich von 2,95–4,35 GHz gewählt. Aufgebaut wurde ein Filter fünfter Ordnung, als Substrat wurde RO3203 mit  $\epsilon_r = 3,02$  ausgewählt.

Die Ausgangsdimensionen wurden sowohl für alle Schlitzbreiten  $s_i$  als auch für alle Leiterbreiten  $w_i$  gleich gewählt. Hier nutzte man die Möglichkeiten der Simulationssoftware, Änderungen eines Parameters sofort im simulierten Ergebnis zu sehen. Ziele der Optimierung in ADS waren im Durchlassbereich eine Durchgangsdämpfung von kleiner 1 dB

und eine Anpassung besser 20 dB.

Erste Realisierungen zeigten, dass die Frequenzbereiche des simulierten und des realisierten Filters leicht zueinander verschoben waren, der Durchlassbereich lag in der Realisierung etwas tiefer wie in der Simulation. Durch Verschieben des Durchlassbereiches des Filters um ca. 100 MHz konnte dies aber behoben werden.

Abbildung 6.15 vergleicht die Reflexionsergebnisse von Simulation und Messung am realisierten Filter.

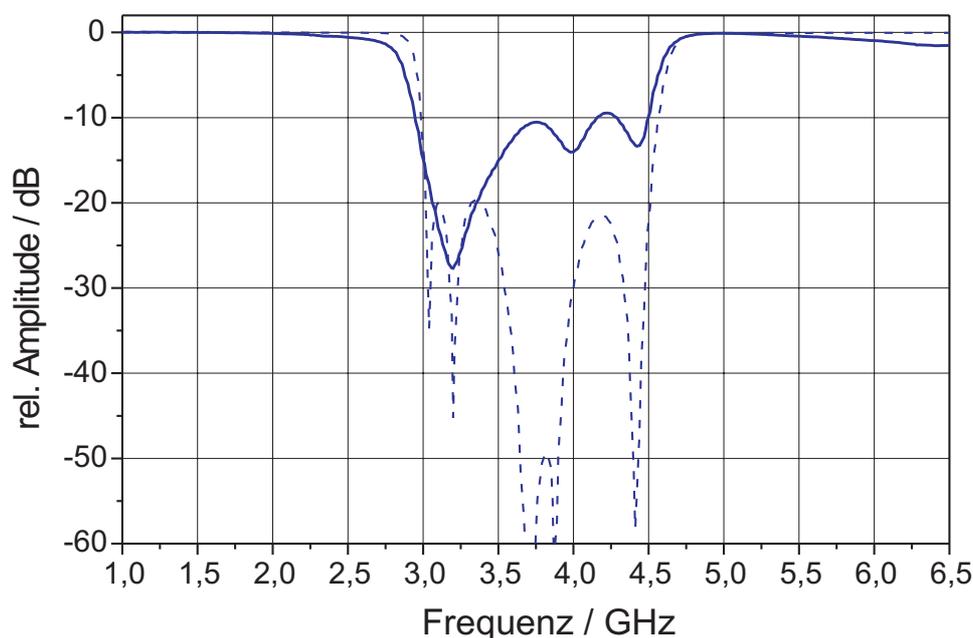


Abbildung 6.15.: Reflexion  $S_{11}$  des Bandpassfilter 2,95–4,35 GHz.

Die Anpassung des realisierten Filters ist im Durchlassbereich ist durchgehend besser 10 dB und völlig ausreichend für unsere Anwendung.

Abbildung 6.16 stellt die Transmission von Simulation und Messung am realisierten Filter dar.

Im Durchlassbereich, der sich von ca. 2,9–4,4 GHz erstreckt, ist die Durchgangsdämpfung besser 2 dB.

Berechnung der Bandbreite des realisierten Bandpasses:

$$\frac{4.4 - 2.9 \text{ GHz}}{3.65 \text{ GHz}} \triangleq 41 \%$$

Das realisierte Filter zeigt Abbildung 6.17. das Filter ist an beiden Seiten mit einer

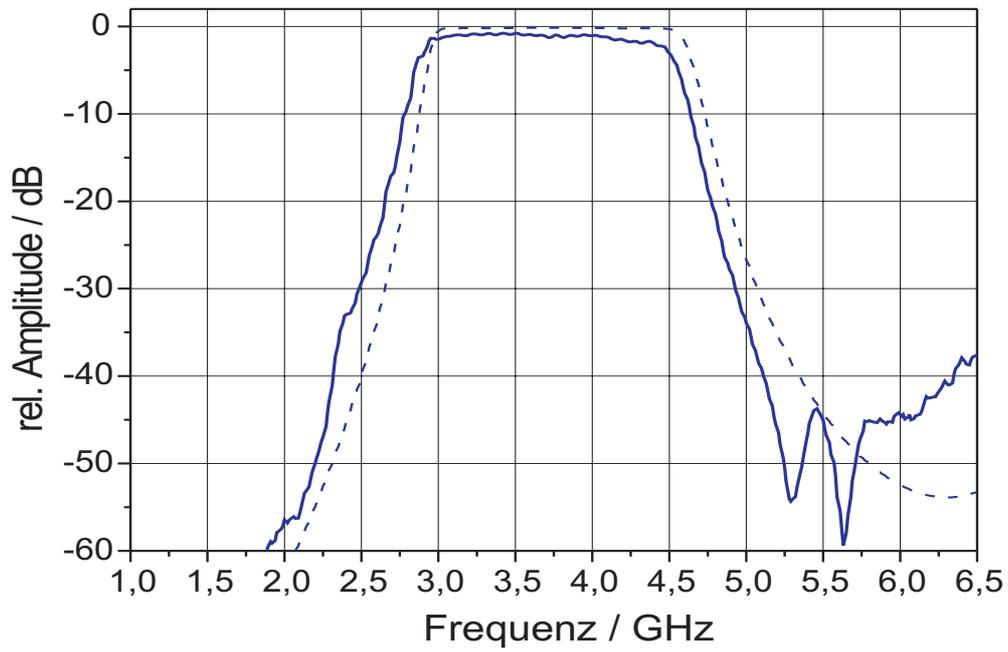


Abbildung 6.16.: Transmission  $S_{21}$  des Bandpassfilter 2,95–4,35 GHz.

50  $\Omega$ -Leitung abgeschlossen. Die Abmessungen der Leitungsstücke entnimmt man Abbildung 6.18.



Abbildung 6.17.: Das realisierte Bandpassfilter 2,95–4,35 GHz.

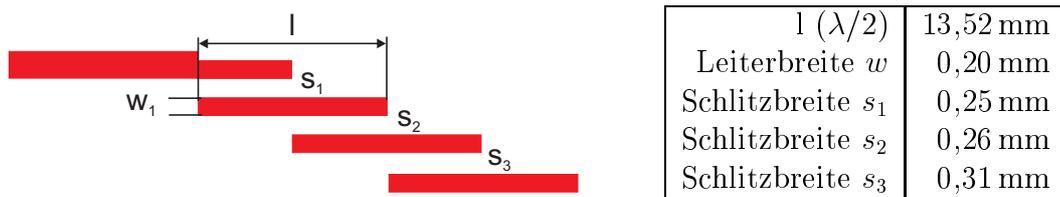


Abbildung 6.18.: Dimensionen des realisierten Coupled Line Bandpasses.

### Interdigitalfilter

Interdigitalfilter bestehen aus bei Mittenfrequenz  $f_0$   $\lambda/4$ -langen gekoppelten Leitungsstücken, die abwechselnd auf einer Seite geerdet sind. Die einzelnen Leitungsstücke wirken als Resonatoren. Durch diese kurzen Leitungslängen können die Filter sehr kompakt aufgebaut werden. Die Filter sind spiegelsymmetrisch am mittleren Leitungstück. Abbildung 6.19 zeigt den schematischen Aufbau des Filters.

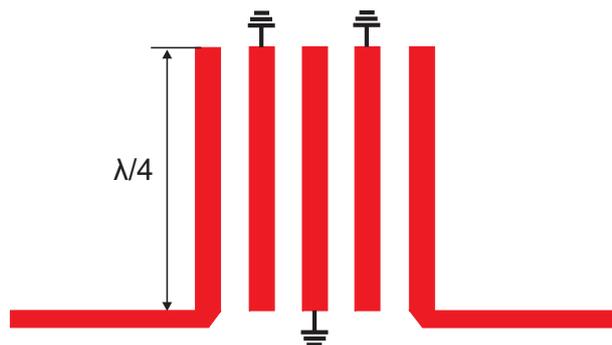


Abbildung 6.19.: Schematischer Aufbau eines Interdigital Bandpassfilters.

Dieser Filtertyp eignet sich für kleine bis große Bandbreiten (kleiner 70 %). Auch hier wird über die Anzahl der Resonatoren die Ordnung des Filters und die Steilheit der Flanken bestimmt. Interdigitalfilter lassen sich auf mehrfache Weise realisieren, in Microstrip-, in Stripline- und in Hohlleitertechnik. Allen Interdigitalfiltern gemeinsam ist ein weiterer Durchlassbereich bei  $3f_0$ .

Auch hier dient als Nachschlagewerk [22]. [12] stellt den Entwurf des Filters in Striplinentechnik vor, die allgemeinen Zusammenhänge können aber auch auf Microstripfilter übertragen werden. Die klassische Vorgehensweise ist die Berechnung der Leiter- und Schlitzbreiten mit Hilfe der Kopplungskoeffizienten. Diese wiederum erhält man aus den zu Beginn gestellten Anforderungen an das Filter (Mittenfrequenz, Bandbreite, Charakteristik).

Man kann sich aber auch durch Verwendung von Simulationssoftware die aufwändige Berechnung der Kopplungskoeffizienten ersparen. Das Filter wurde schematisch in ADS aufgebaut, die Größen der Parameter wurden zu Beginn für jeweils alle Leiterbreiten  $w_i$  und alle Schlitzbreiten  $s_i$  gleich gewählt. Anschließend wurde versucht, durch Simulation und Optimierung den gewünschten Filterverlauf zu realisieren.

### Realisierung

Eingesetzt werden die Interdigitalfilter in diesem Konzept in den Vervielfacherzweigen. Sie haben dort die Aufgabe, harmonische Frequenzanteile, die im VCO des PLL-Zweigs entstehen, zu unterdrücken.

Zwei realisierte Interdigitalfilter werden vorgestellt.

Das erste Filter wird am Eingang des Verdopplerzweigs eingesetzt. Der Eingangsfrequenzbereich umfasst 800–1500 MHz. Das Filter soll verhindern, dass unerwünschte Frequenzanteile in den nachfolgenden Verstärker und Verdoppler gelangen.

Die Bandbreitenanforderung an das Filter ist sehr hoch:

$$\frac{1500 - 800 \text{ MHz}}{1150 \text{ MHz}} \triangleq 61 \%$$

Bei der Simulation stellte sich heraus, dass ein Filter 5. Ordnung dieser Anforderung genügen würde.

Als Optimierungsziele wurden im Durchlassbereich eine Durchgangsdämpfung  $S_{21}$  kleiner 1 dB und eine Anpassung  $S_{11}$  besser 20 dB angesetzt. Abbildung 6.20 zeigt den Verlauf der Reflexion  $S_{11}$ , Abbildung 6.21 die Transmission  $S_{21}$  des Filters. Dabei stellt die gestrichelte Kurve die Simulation in ADS, die durchgezogene Kurve den gemessenen Wert des realisierten Filters dar.

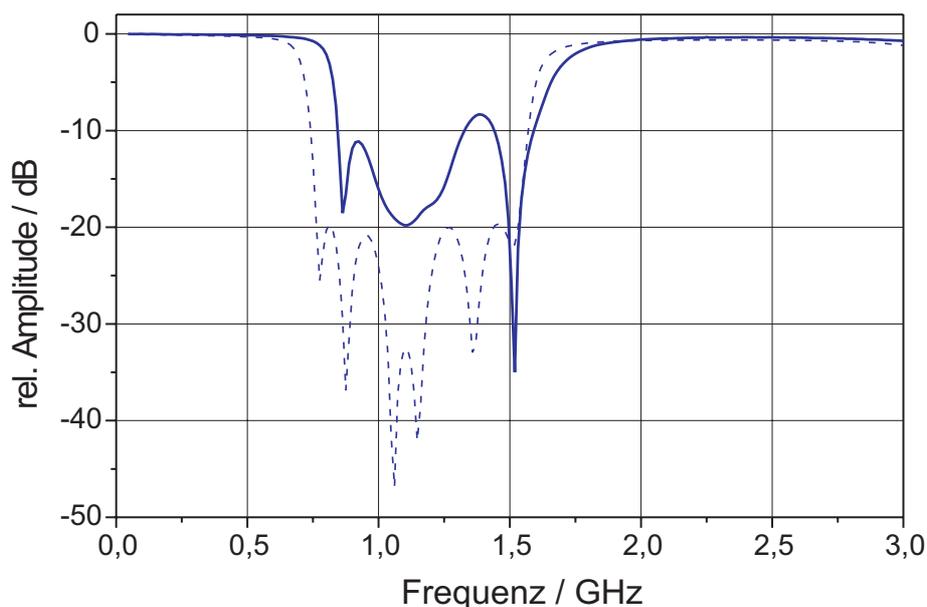


Abbildung 6.20.: Reflexion  $S_{11}$  des Interdigitalfilters 5. Ordnung.

Die Anpassung ist im gesamten Durchlassbereich besser 8 dB. Der Unterschied zur Simulation ist unter anderem auch darauf zurückzuführen, dass der Übergang zwischen Anschlussbuchse und Leitungsstruktur nicht optimal ist und sich als Störstelle, an dem Leistung am Eingang reflektiert wird, bemerkbar macht.

Der Durchgangsbereich fällt grundsätzlich in der Realisierung etwas kleiner aus als in der Simulation, wie an in Abbildung 6.21 sieht. Das realisierte Filter hat einen Durchgangsbereich von 830–1520 MHz und beschneidet somit den unteren Frequenzbereich.

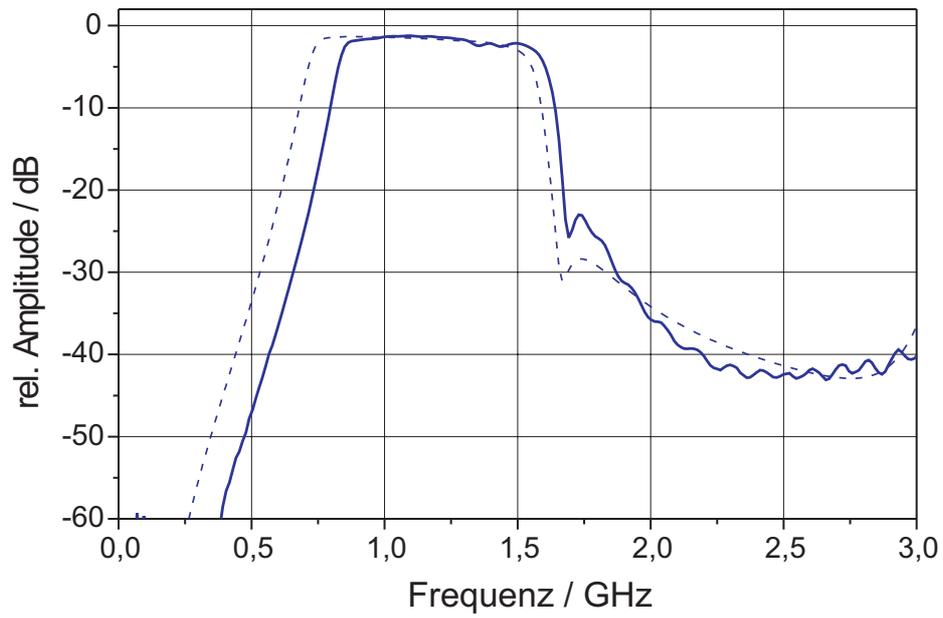


Abbildung 6.21.: Transmission  $S_{21}$  des Interdigitalfilters 5. Ordnung.

Die Durchgangsdämpfung bewegt sich zwischen 1–2 dB.

Abbildung 6.22 zeigt das realisierte Filter. In Abbildung 6.23 sind die Dimensionen des Filters aufgezeigt.

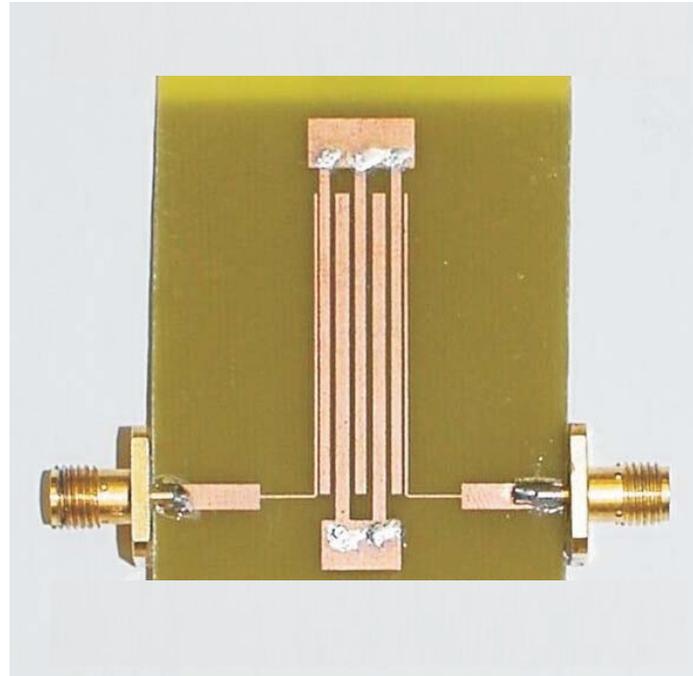


Abbildung 6.22.: Interdigitalfilter 5. Ordnung, 800–1500 MHz.

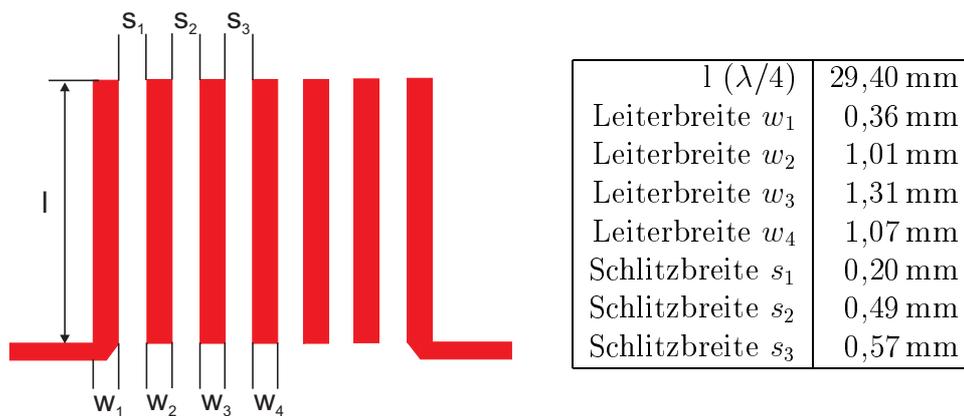


Abbildung 6.23.: Dimensionen des Interdigitalfilters 5. Ordnung.

Zur Filterung der Grundfrequenz von 950–1600 MHz ist das folgende Filter gedacht. Dieser Frequenzbereich wird im Vervielfacherzweig nicht weiterverarbeitet, das Filter hat die Aufgabe, harmonische Frequenzanteile des in der PLL verwendeten VCOs zu sperren.

Die Simulation in ADS zeigte, dass ein Filter 3. Ordnung den Anforderungen genügt. Auch hier fällt die Bandbreite des Filters recht groß aus:

$$\frac{1600 - 950 \text{ MHz}}{1275 \text{ MHz}} \triangleq 51 \%$$

Die Optimierungsziele waren ebenfalls eine maximale Durchgangsdämpfung von 1 dB und eine Anpassung besser 20 dB im Durchlassbereich.

Abbildung 6.24 vergleicht die Reflexion von Simulation (gestrichelt) und Messung (durchgezogen).

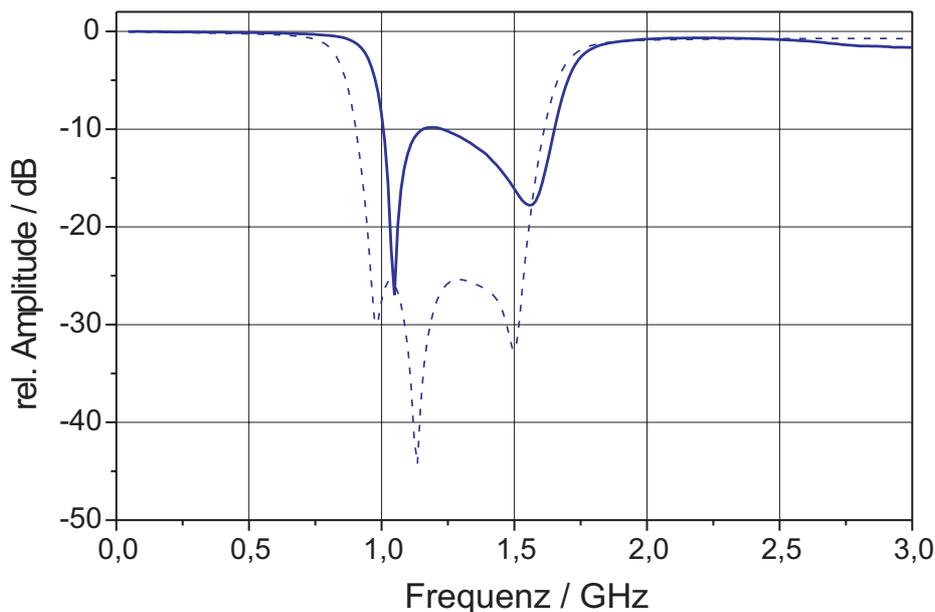


Abbildung 6.24.: Reflexion  $S_{11}$  des Interdigitalfilters 3. Ordnung.

Die Anpassung ist hier besser als 10 dB. Deutlich sichtbar ist aber der Unterschied zwischen Simulation und Messung im Durchlassbereich.

Die Transmission des Filters zeigt Abbildung 6.25. Auch hier wird die Messung am realisierten Filter durch die durchgezogene Kurve dargestellt.

Wie schon in Abbildung 6.24 festgestellt wurde, fällt der Durchlassbereich des realisierten Filters kleiner aus als simuliert. Die untere Grenze liegt um ca. 80 MHz zu hoch. Damit wird der untere Durchlassbereich beschnitten. Die Durchgangsdämpfung

ist durchgehend kleiner 2 dB.

Abbildung 6.26 zeigt das auf FR4 realisierte Bandpassfilter. Die geometrischen Daten

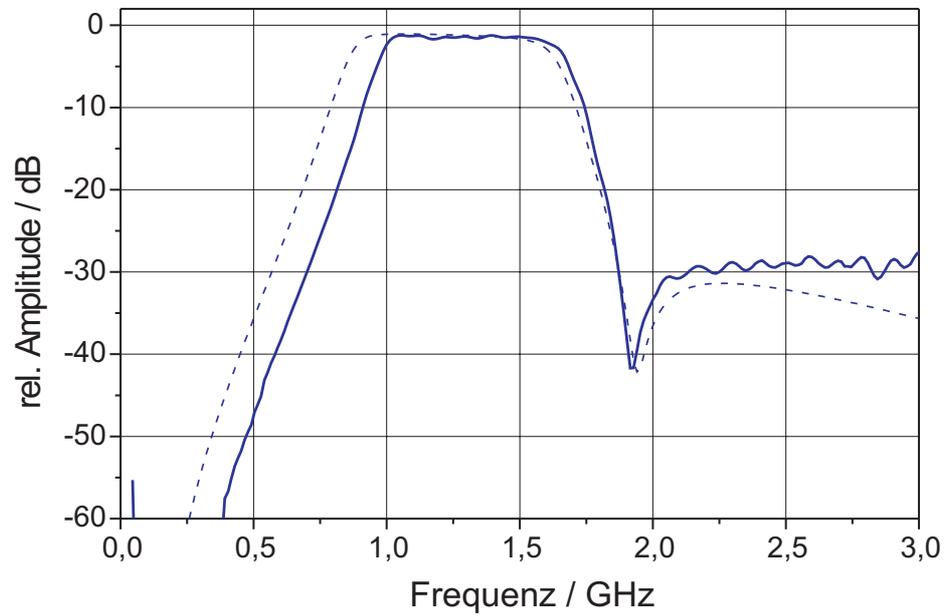


Abbildung 6.25.: Transmission  $S_{21}$  des Interdigitalfilters 3. Ordnung.

sind Abbildung 6.27 entnehmbar.

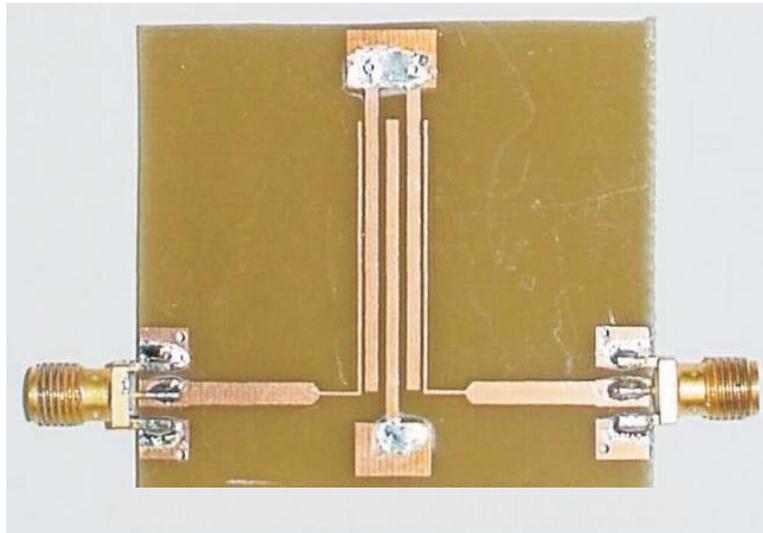


Abbildung 6.26.: Interdigitalfilter 3. Ordnung, 950–1600 MHz.

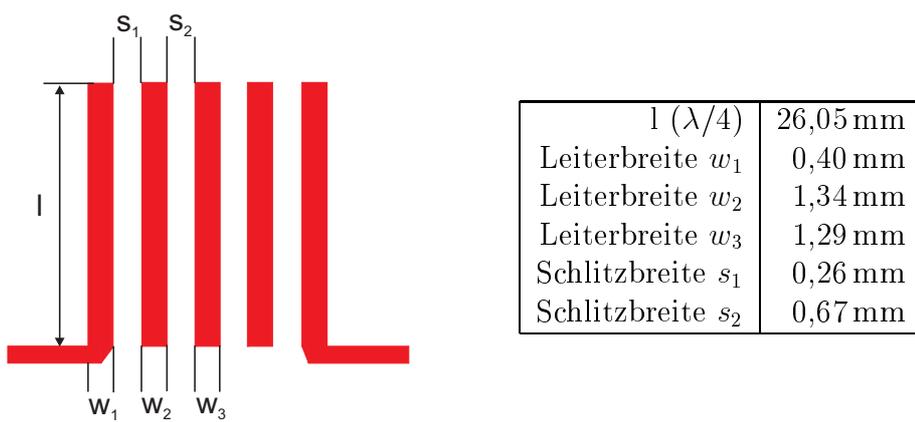


Abbildung 6.27.: Dimensionen des Interdigitalfilters 3. Ordnung.

### Zusammenfassung und abschließende Worte

Die Synthese von Microstripfilter gestaltet sich mit EDA<sup>4</sup>-Software komfortabel. Trotzdem treten in Normalfall bei der Realisierung des Filters Unterschiede auf, die eine Verbesserung des Designs verlangen.

Das Stepped-Impedance Tiefpassfilter wurde am Eingang des Verdreifachers eingesetzt. Es basiert auf einer einfachen Struktur, die mit Hilfe der Simulationssoftware optimiert werden kann. Die Realisierung zeigte nur kleine Abweichungen bezüglich der Eckfrequenz, die sich bei Bedarf durch Änderung der Leitungsparameter weiter optimieren lassen.

Bandpassfilter wurden im dritten Block zur Unterdrückung unerwünschter Frequenzanteile eingesetzt. Dabei wurde im Grundfrequenz-Zweig ein Interdigitalfilter aufgebaut, dessen Durchlassbereich noch nicht optimal ist, aber für erste Messungen ausreichte. Der Verdopplerzweig wurde ebenfalls mit einem Interdigitalfilter ausgestattet. Auch hier war der Durchlassbereich noch nicht optimal, für erste Messungen aber ausreichend. Auf ein eingangsseitiges Bandpassfilter im Verdreifacherzweig wurde vorerst verzichtet, da das eingesetzte Tiefpassfilter die gewünschte Funktion erfüllte.

Die Realisierung eines Bandpassfilters am Ausgang des Verdopplers führte bisher zu keinem befriedigenden Ergebnis, da die Bandbreite sehr groß ist (1,6–3,00 GHz) und noch keine geeignete Struktur gefunden wurde. Hier besteht noch der Bedarf, weitere Strukturen aufzubauen und zu erproben. Am Ausgang des Verdreifachers hingegen wurde ein Coupled Line Filter eingesetzt, welches den erwünschten Durchlassbereich einhält und somit seine Funktion erfüllt.

Die vorgestellten Bandpassfilter sind für große Bandbreiten (50 %) ausgelegt. Bei gekoppelten Leitungsstrukturen führt dies zu einer starken Kopplung benachbarter Leiter, die sich in der Realisierung durch sehr kleine Schlitzbreiten bemerkbar machen. Dies gilt sowohl für Coupled Line Bandpässe als auch für Interdigitalfilter. Hier sind aber in der Realisierung Grenzen gesetzt, die durch die Genauigkeit der Fertigung bestimmt werden.

Wie man in den Abbildungen 6.22 und 6.26 sehen kann, wurde der Massebezug der geerdeten Leitungsstücke mittels einer gemeinsamen Massefläche mit Durchkontaktierungen zur rückseitigen Massefläche realisiert. Diese Lösung ist erforderlich, da die Durchkontaktierung der einzelnen Leitungsstücke mit Hohnieten bei den geringen Leiterbreiten nicht mehr möglich ist.

Die Durchlassbereiche der Interdigitalfilter sind noch nicht optimal, teilweise sind sie verschoben oder aber noch zu schmalbandig. Vorteilhaft ist aber, dass die in Kapitel 4 vorgestellte PLL im unteren Frequenzbereich eine höhere Ausgangsleistung hat und somit ein nachfolgendes Filter den Pegelverlauf glättet.

---

<sup>4</sup>Electronic Design and Automation

## 7. Gesamtbetrachtung

Ziel dieses Kapitels ist es, die zuvor erhaltenen Ergebnisse zusammenzufassen und somit die Spezifizierung des noch ausstehenden vierten Blocks (Mischstufe und Vervielfacher auf die Endfrequenz) zu ermöglichen. Dazu werden zu Beginn dieses Kapitels Messergebnisse der ersten drei Blöcke, die zuvor behandelt wurden, präsentiert.

Die Messungen wurden mit dem aufgebauten Prototyp, der einen Ausgangsfrequenzbereich von 0,95–4,30 GHz liefert, durchgeführt.

### 7.1. Messungen

#### 7.1.1. DDS und PLL

Im folgenden Abschnitt werden Ergebnisse der Messungen an DDS und PLL präsentiert. Dabei ist die Verschlechterung des PLL-Ausgangsspektrum durch DDS-Spurious von besonderem Interesse. Diese Spurious, die sich schon im Ausgangssignal des DDS befinden, wurden zuvor noch nicht aufgezeigt, da ihre Signalleistung im DDS-Ausgangssignal noch nicht sehr groß ist. Durch die Vervielfachung in der PLL-Schleife werden sie aber im Pegel angehoben und dadurch im PLL-Ausgangsspektrum sichtbar.

Abbildung 7.1 zeigt das Ausgangsspektrum der PLL mit  $f_{out} = 1200$  MHz. Die Vergleichsfrequenz  $f_{comp}$  beträgt 10,0 MHz, die Clockfrequenz  $f_{clk}$  des DDS beträgt 50 MHz. Für den Abtastfaktor  $R = \frac{f_{clk}}{f_{comp}}$ , der in Gleichung 3.5 eingeführt wurde, ergibt sich  $R = 5$ . Aus den in Abschnitt 3.2.2 aufgestellten Zusammenhängen folgt somit, dass keine Spurious des DDS im Ausgangsspektrum erwartet werden, da  $R$  ganzzahlig ist.

Der N-Teiler der PLL hat dabei einen Wert von  $N = 120$ . Das Spektrum ist neben dem Träger weitestgehend sauber. Die sichtbaren Spikes mit einem Abstand von 60 kHz rühren nicht von dem Synthesizer, sondern von den im Labor verwendeten Schaltnetzteilen.

Verändern wir nun die vom DDS generierte Vergleichsfrequenz auf  $f_{comp} = 10,4$  MHz, erhalten wir mit  $N = 120$  eine Ausgangsfrequenz  $f_{out} = 1248$  MHz. Der Abtastfaktor  $R$  beträgt in diesem Fall  $\frac{50}{10,4} \approx 4,8$ . Aus 3.2.2 folgt somit, dass Spurious des DDS im Ausgangsspektrum auftreten.

Wo liegen diese Spurious? Vor Auswertung des Spektrums werden zunächst die Frequenzabstände berechnet.

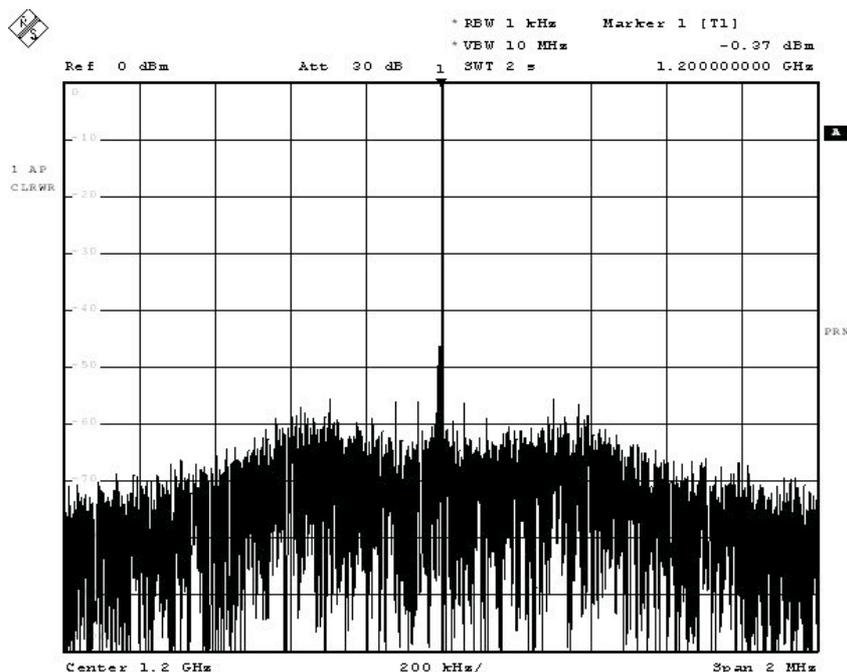


Abbildung 7.1.: PLL-Ausgangsspektrum bei  $f_{out} = 1200$  MHz.

Nach Gleichung 3.6 haben die Spurious erster Ordnung den Abstand

$$\Delta f_1 \approx 1,9968 \text{ MHz} \tag{7.1}$$

Berechnet man als Nächstes den Abstand  $\Delta f_2$  der Spurious zweiter Ordnung, so erhält man

$$\Delta f_2 \approx 416 \text{ kHz} \tag{7.2}$$

Betrachtet man nun das Ausgangsspektrum der Messung in Abbildung 7.2, so sieht man Spurious im Abstand von ca. 400 kHz vom Träger.

Dieser Abstand stimmt mit dem Spurious-Abstand  $\Delta f_2$  zweiter Ordnung, die zuvor berechnet wurden, überein. Mit Gleichung 3.7 können nun die absoluten Frequenzen der Nebenlinien bestimmt werden:

$$f_{sp2}(n) = 10,4 \text{ MHz} \pm n \cdot 416 \text{ kHz} \quad n = 1, 2, 3, \dots \tag{7.3}$$

$$f_{sp2}(1) = 10,4 \text{ MHz} \pm 416 \text{ kHz} \tag{7.4}$$

$$f_{sp2}(2) = 10,4 \text{ MHz} \pm 832 \text{ kHz} \tag{7.5}$$

Diese setzen sich mit steigendem  $n$  periodisch beidseitig des Trägers fort.

Die Bestimmung und Analyse der entstehenden Spurious gestaltet sich nicht immer so einfach wie in dem oben beschriebenen Beispiel. Gleichung 3.7 bestimmt die absoluten Frequenzen der Spurious n-ter Ordnung. Liegen diese Frequenzen außerhalb der Nyquistbandbreite  $f_{clk}/2$ , so werden sie an der Nyquistgrenze gespiegelt und erscheinen

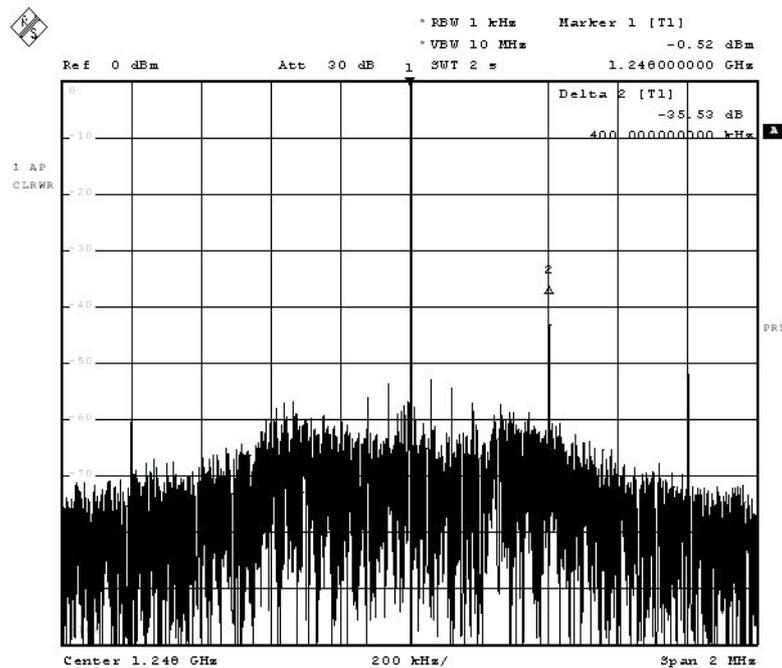


Abbildung 7.2.: PLL-Ausgangsspektrum bei  $f_{out} = 1248$  MHz.

wieder in der Nähe des Trägers. Dieses Phänomen liegt in der Natur des Aliasing.

Abbildung 7.3 zeigt das Spektrum des Trägers bei  $f_{out} = 1171,2$  MHz. Dabei wurde die Ausgangsfrequenz des DDS auf  $f_{comp} = 9,76$  MHz eingestellt.

Beidseitig des Trägers haben sich eine Vielzahl von Nebenlinien gebildet, deren Analyse sich nicht mehr so einfach gestaltet wie im vorherigen Abschnitt. Der Abstand zwischen Träger und den Nebenlinien ist größer 40 dBc.

### Verbesserungen

Die durch den DDS verursachten Spurious, die im Ausgangsspektrum der PLL sichtbar sind, verschlechtern das Ausgangssignal je nach Parametereinstellungen mehr oder weniger. Welche Möglichkeit besteht aber, diese Spurious, deren Ursachen in der Natur der Synthetisierung und der Nichtidealität der Komponenten liegen, zu unterdrücken oder zu verhindern?

Die Spurious bilden sich symmetrisch um den Träger des DDS-Signals aus. Dabei wird das Phasenrauschen des DDS durch die Vervielfachung in der PLL um  $20\log N$  verschlechtert. Das Gleiche gilt für die Leistung der Nebenlinien. Die relative Lage der Spurious verändert sich durch die Frequenzvervielfachung nicht [25].

Nun besteht die Möglichkeit, durch Verändern des Frequenzbereichs des DDS Abhilfe zu schaffen. Man wählt die Breite des Ausgangsfrequenzbereiches so schmal, dass der

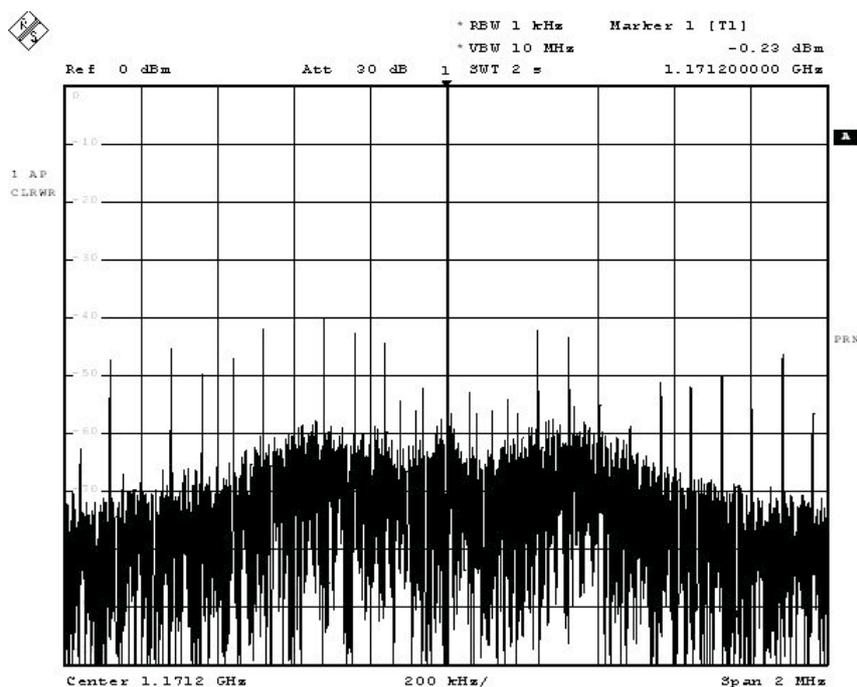


Abbildung 7.3.: PLL-Ausgangsspektrum bei  $f_{out} = 1171,2$  MHz.

komplette Bereich von einem steilflankigen Bandpassfilter durchgelassen wird. So könnte man als Frequenzspanne einen Bereich von  $\Delta f = 250$  kHz wählen, womit eine Vielzahl der entstehenden Spurious außerhalb des Durchlassbereichs des Bandpasses liegen und somit unterdrückt werden.

Die Einschränkung des Frequenzbereichs des DDS würde kleinere Zwischenschritte für den Teiler  $N$  mit sich bringen, was aber keine Rolle spielt. Um auf Standardbauteile zurückzugreifen zu können, wäre ein Wechsel der Mittenfrequenz von 10,0 MHz auf 10,7 MHz sinnvoll, da dies eine typische Zwischenfrequenz in vielen Systemen ist und somit Bandpassfilter in einer großen Auswahl erhältlich sind.

### 7.1.2. Einfluss der Vervielfacher auf das Ausgangsspektrum

Bei der Frequenzvervielfachung tritt eine Verschlechterung des Phasenrauschens ein. Dieser Zusammenhang wurde schon in Kapitel 4 eingeführt. Bei einer Frequenzvervielfachung um den Faktor  $N$  verschlechtert sich das Phasenrauschen des Ausgangsspektrums um  $20 \log(N)$ .

Enthält das Ausgangsspektrum Nebenlinien, dann ändert sich deren relative Lage im Spektrum durch die Vervielfachung nicht, ihre Leistung steigt aber um den zuvor berechneten Betrag.

- Frequenzverdopplung  
Die Verschlechterung des Phasenrauschens durch den Prozess der Frequenzverdopplung zeigen die folgenden Abbildungen.

Abbildung 7.4 zeigt das Ausgangsspektrum bei  $f_{in} = 1,15$  GHz. Die Loopbandbreite wurde auf ca. 200 kHz eingestellt, an der Loopgrenze wurde ein Phasenrauschen von  $-79,4$  dBc/Hz @ 200 kHz gemessen.

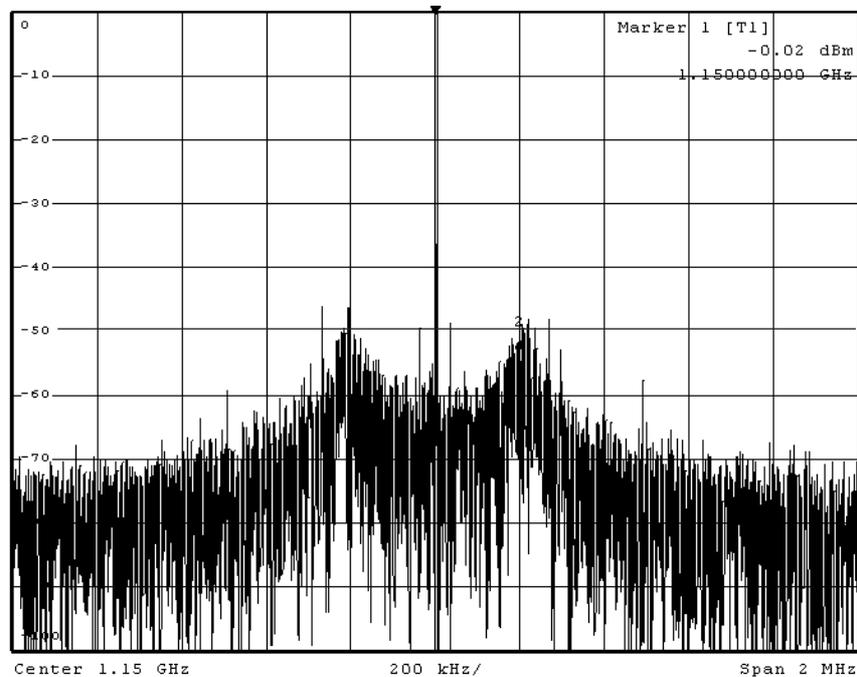


Abbildung 7.4.: Eingangsfrequenz  $f_{in} = 1,15$  GHz am Verdoppler.

Bei einer Frequenzverdopplung müsste sich nach  $20 \log(N)$  eine Verschlechterung des Phasenrauschens von ca. 6 dB ergeben.

Abbildung 7.5 zeigt das Ausgangsspektrum nach der Verdopplung bei  $f_{out} = 2,30$  GHz.

Die Messung des Phasenrauschens an der Grenze des Loopfilters ergab einen Messwert von  $-73,1$  dBc/Hz @ 200 kHz.

Die Verschlechterung beträgt ca. 6 dB, somit wurde der zuvor berechnete Wert bestätigt.

- Frequenzverdreifung

Bei der Frequenzverdreifung erhalten wir mit  $20 \log(N)$  und  $N = 3$  eine Verschlechterung um ca. 9,5 dB. Auch dies wird durch zwei Messungen überprüft.

Abbildung 7.6 zeigt das Ausgangsspektrum bei  $f_{in} = 1,25$  GHz, wie es am Eingang des Verdreifachers anliegt.

Die Messung des Einseitenbandphasenrauschens an der Loopgrenze bei 200 kHz ergab einen Wert von  $-79,7$  dBc/Hz @ 200 kHz.

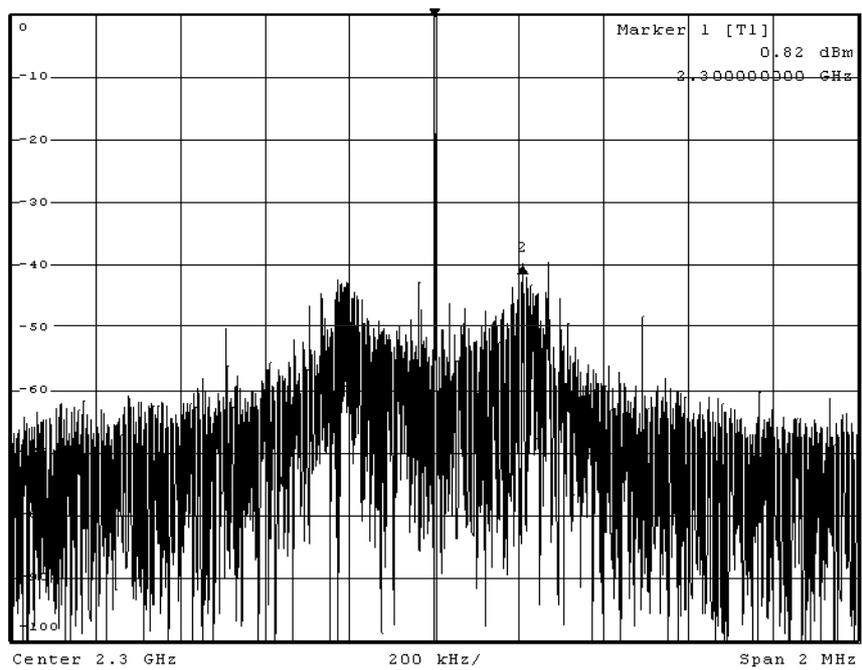


Abbildung 7.5.: Ausgangsfrequenz  $f_{out} = 2,30$  GHz am Verdoppler.

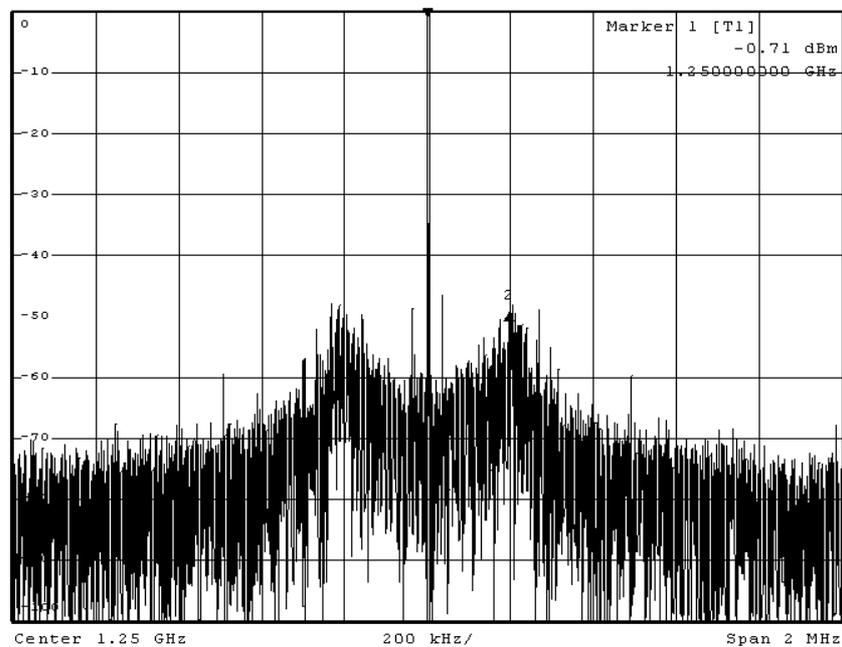


Abbildung 7.6.: Eingangsfrequenz  $f_{in} = 1,25$  GHz am Verdreifacher.

Schauen wir uns nun das Ausgangsspektrum nach der Frequenzverdreifung an, erhalten wir die Darstellung aus Abbildung 7.7.

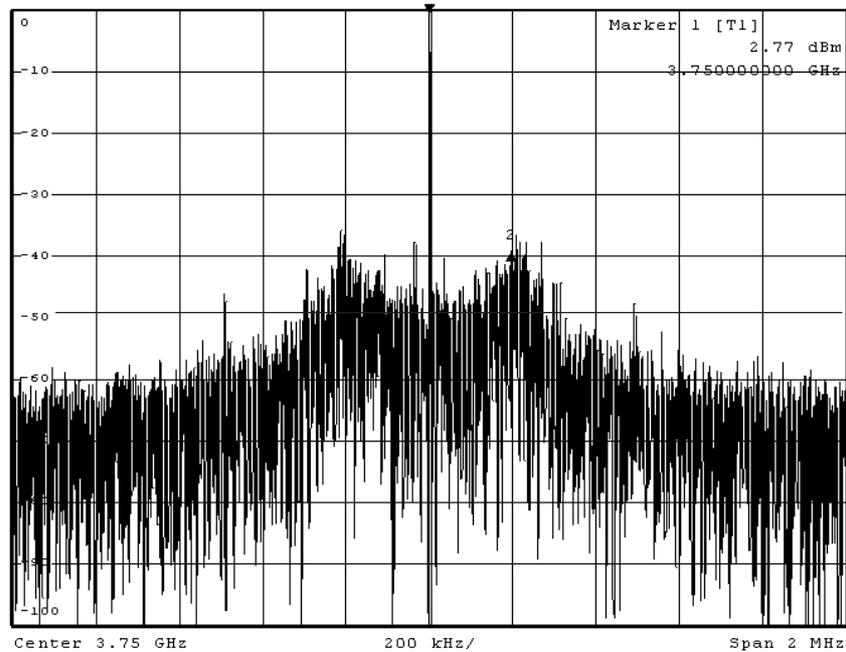


Abbildung 7.7.: Ausgangsfrequenz  $f_{out} = 3,75$  GHz am Verdreifacher.

Die Messung ergab einen Wert von  $-71,1$  dBc/Hz @ 200 kHz. Mit dem zuvor gemessenen Wert vor der Verdreifachung erhalten wir eine Differenz von ca. 8,6 dB, was sich um ca. 1 dB vom zuvor errechneten Wert unterscheidet. Diesen kleinen Unterschied kann man aber auf die Messung von Momentaufnahmen zurückführen, die gemessenen Werte schwanken und dadurch lässt sich nie ein absolut genauer Wert bestimmen.

### 7.1.3. Zusammenfassung der ersten drei Blöcke

Abbildung 7.8 gibt den Pegelverlauf wieder, der am Ausgang des dritten Blocks nach den Vervielfacherstufen zur Verfügung steht.

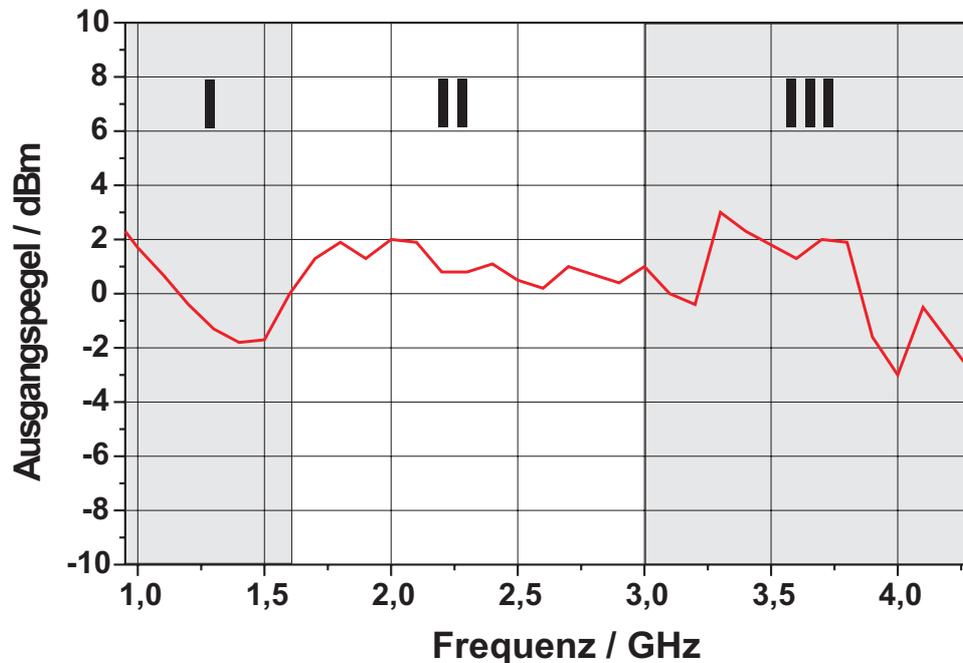


Abbildung 7.8.: Pegelverlauf am Ausgang des 3. Blocks.

Über den gesamten Frequenzbereich von 0,95–4,30 GHz bewegt sich die Ausgangsleistung zwischen -2 und +2 dBm. Zur besseren Trennung wurden die Frequenzbereiche der drei Zweige des dritten Blocks farblich voneinander getrennt.

Band I stellt den Frequenzbereich von 0,95–1,60 GHz, Band II den Frequenzbereich von 1,60–3,00 GHz und Band III den Frequenzbereich von 3,00–4,30 GHz dar.

Die folgende Auflistung gibt eine Zusammenfassung der Parameter.

- Frequenzbereich  $f_{out} = 0,95 - 4,30$  GHz
- Bandbreite  $\Delta f = 3,35$  GHz
- Ausgangsleistung  $P_{out} = 0 \pm 2$  dBm
- Frequenzauflösung
  - Band I < 2 Hz
  - Band II < 4 Hz
  - Band III < 6 Hz

Die sehr hohe Frequenzauflösung am Ausgang des dritten Blocks führt zu einer Frequenzauflösung von mindestens 12 Hz im Ku-Band. Damit wird die zu Beginn gestellte Forderung von ca. 100 kHz Auflösung im Ku-Band erfüllt (siehe Abschnitt 1.3).

Die Pegelschwankungen von  $\pm 2$  dB lassen sich problemlos mit einer Amplitudenregelschleife kompensieren.

Mit den nun zur Verfügung stehenden Daten, die durch Messungen an einem ersten Prototyp für den Frequenzbereich 0,95–4,30 GHz erhalten wurden, ist es möglich, den vierten Block näher zu spezifizieren. Dies ist Aufgabe des folgenden Abschnitts.

## 7.2. Aufbau der Misch- und Verdopplerstufe

Wie man der Konzeptvorstellung aus Kapitel 2 schon entnehmen konnte, besteht der vierte Block, dessen Aufgabe die Umsetzung des zur Verfügung stehen Frequenzbandes in das Ku-Band ist, im Wesentlichen aus einer Misch- und einer Verdopplerstufe nach Abbildung 7.9.

Neben der Umsetzung des Frequenzbereichs wird auch eine Verstärkung der Ausgangsleistung vorgenommen. Die Daten am Ausgang des vierten Blocks entnimmt man der folgenden Auflistung.

- Frequenzbereich  $f_{out} = 11,90\text{--}18,60$  GHz
- Bandbreite  $\Delta f = 6,70$  GHz
- Ausgangsleistung  $P_{out} = +10$  dBm

Abbildung 7.9 zeigt eine ausführliche Darstellung des schematischen Aufbaus.

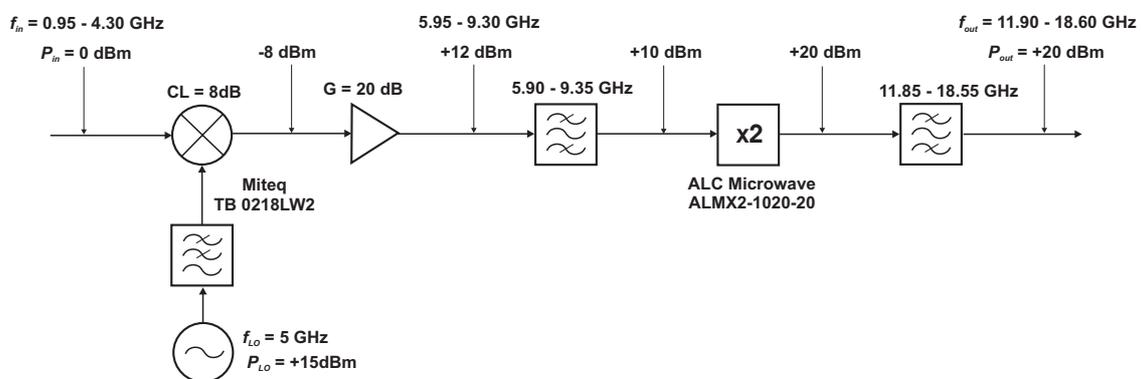


Abbildung 7.9.: Aufbau des vierten Blocks.

### 7.2.1. Frequenzumsetzung

Das Eingangssignal wird zunächst mit einer LO-Frequenz  $f_{LO} = 5$  GHz umgesetzt. Dabei kann als Lokaloszillator vorerst ein Signalgenerator dienen, die zukünftige Realisierung könnte hier durch einen stabilen dielektrischen Resonator Oszillator, DRO, verwirklicht werden.

Der vorgeschlagene Mischer kommt aus dem Hause Miteq [23]. Am Ausgang des Mischers steht nach der Umsetzung ein Frequenzbereich von 5,95–9,30 GHz zur Verfügung.

Mit Hilfe des vorgeschlagenen Verdopplers von ALC Microwave erhält man schließlich das geforderte Spektrum von 11,90–18,60 GHz. Der Verdoppler ist aktiv ausgeführt und stellt am Ausgang eine Ausgangsleistung von ca. 20 dBm zur Verfügung.

#### Mischer

Beim vorgeschlagenen Mischer handelt es sich um das Modell TB 0218 LW2 von Miteq [23]. Dies ist ein Triple Balanced Mixer, er ist aus zwei doppelt balancierten Mischstufen und somit aus acht Mischdioden aufgebaut. Die folgende Tabelle gibt einen Überblick über die wesentlichen Parameter.

RF und LO Frequenz	2–18 GHz
IF Frequenz	0,5–8 GHz
LO Leistung	10–15 dBm
Konversionsverlust	max. 9 dB

#### Verstärker

Der Verstärker hat die Aufgabe, das Ausgangssignal des Mischers mit  $P = -8$  dBm um ca. 18dB zu verstärken, da am Eingang des Verdopplers eine Eingangsleistung von ca. 10 dBm anliegen sollte. Da die tatsächlich benötigte Verstärkung erst bestimmt werden kann, wenn die gemessenen Daten von Mischer, Verdoppler und den verwendeten Filtern vorliegen, macht es zum jetzigen Zeitpunkt keinen Sinn, ein bestimmtes Modell auszusuchen.

#### Verdoppler

Der vorgeschlagene Frequenzverdoppler kommt aus dem Hause ALC Microwave. Es handelt sich um das Modell ALMX2-1020-20 [13], einen aktiven Verdoppler, der neben der Vervielfachung auch eine Signalverstärkung vornimmt. Die wesentlichen Parameter entnimmt man folgender Tabelle.

Eingangsfrequenz	5–10 GHz
Ausgangsfrequenz	10–20 GHz
Eingangsleistung	+ 10 dBm
Ausgangsleistung	max. + 20 dBm

## 8. Zusammenfassung

Im Rahmen der vorliegenden Diplomarbeit wurde die Entwicklung und Realisierung des Prototyps eines Frequenzsynthesizers vorgestellt. Dieser Synthesizer soll als Signalquelle in einem Aufbau zur Netzwerkanalyse im D-Band (110–170 GHz) Verwendung finden.

Die Anforderungen an den Synthesizer sind neben einer großen Bandbreite der Ausgangsfrequenz eine hohe Frequenzauflösung und die Möglichkeit, schnelle Frequenzwechsel durchzuführen. Daher wurde ein Konzept erstellt, welches Vorteile aus der analogen und digitalen Technik miteinander verknüpft. Durch die Verwendung eines Direct Digital Synthesizers (DDS) werden dessen Vorteile, eine hohe Frequenzauflösung verbunden mit einer hohen Schaltgeschwindigkeit, ausgenutzt. Die digitale Struktur ermöglicht eine Schrittweite von mindestens 100 Hz im D-Band. Der digitale Synthesizer DDS stand der Diplomarbeit in Form eines Evaluation Boards zur Verfügung.

Durch den Einsatz einer breitbandigen Phasenregelschleife (PLL) wird ein großer Frequenzbereich von 800–1600 MHz erzeugt. Diese PLL wurde im Rahmen der Diplomarbeit entwickelt und aufgebaut. Als Vergleichsfrequenz für die PLL dient die Ausgangsfrequenz des DDS mit einem Frequenzbereich von 9,5–10,5 MHz. Durch Verstimmen der DDS-Frequenz kann eine höhere Frequenzauflösung am PLL-Ausgang erreicht werden, da diese direkt durch die Vergleichsfrequenz bestimmt wird. Die Kombination aus PLL und DDS bezeichnet man als Hybrid-PLL.

Der Ausgangsfrequenzbereich der Hybrid-PLL wird in einem dritten Block bandpassgefiltert und vervielfacht. Dabei wurde eine Aufteilung in drei Zweige zur getrennten Bearbeitung vorgenommen. Mit Hilfe eines integrierten Bausteins wurde ein Frequenzverdoppler für den Frequenzbereich 800–1500 MHz aufgebaut, der neben dem Verdoppler IC eine vorgeschaltete Verstärkungsstufe beinhaltet. Die Schaltung wurde im Rahmen der Diplomarbeit entworfen, aufgebaut und getestet. Integriert wurde die Schaltung in ein Gehäuse. Weiterhin wurde mit Hilfe eines PIN-Diodenpaares ein Frequenzverdreifacher für den Frequenzbereich 1000–1430 MHz entwickelt. Durch Messungen wurde dessen Funktionsfähigkeit bestätigt.

Für das Konzept benötigte Filter wurden sowohl in LC-Technik mit diskreten Bauteilen als auch in Microstriptechnik auf HF-Substraten entworfen und aufgebaut. Dabei wurden neben Tiefpassstrukturen auch Bandpassfilter für die Verwendung in den Vervielfacherzweigen realisiert.

Die Realisierung umfasste den Aufbau des Synthesizers bis zur einer Ausgangsfrequenz von 0,95–4,30 GHz. Die Umsetzung auf die Ausgangsfrequenz von 11,9–18,6 GHz fand nicht im Rahmen der Arbeit statt, da es sich bei den vorgeschlagenen Komponenten um Zukaufteile handelt. Deren genauere Auslegung war erst mit den am Ausgang des dritten Blocks gewonnenen Ergebnissen möglich. Durch erste Messungen wurde belegt, dass das Konzept den zu Beginn gestellten Anforderungen genügt.

Die Weiterführung des Synthesizerprojekts umfasst neben der Umsetzung in den Ausgangsfrequenzbereich den Entwurf eines Gehäuses und einer gemeinsamen Spannungsversorgung für die Baugruppen. Durch die Verwendung programmierbarer Bausteine können Änderungen von einem Rechner aus vorgenommen werden. Dadurch besteht auch die Möglichkeit, automatisierte Messvorgänge vorzunehmen.

## Literaturverzeichnis

- [1] J. A. Webb: *Digital Signal Generator Synthesizer*  
U.S.Patent 3,654,450 (1970)  
<http://www.eepatents.com>
- [2] Analog Devices, *A Technical Tutorial on Direct Digital Synthesis*  
<http://www.analog.com>
- [3] Osicom Technologies, *Direct-Digital Frequency Synthesis, a basic tutorial*  
<http://www.osicom.com>
- [4] Intel Corporation, *Alias And Spurious Responses In DDS Systems*, Application Note 102, March 1990  
<http://www.intel.com>
- [5] M. Zimmer: *Neues DDS-Verfahren: Höchstfrequenz präzise erzeugt*, Teil 1, Elektronik, November 2000
- [6] Analog Devices, *CMOS, 125 MHz Complete DDS Synthesizer*, Datenblatt  
<http://www.analog.com>
- [7] D. Banerjee: *PLL Performance, Simulation and Design*, National Semiconductor, 2nd Edition (2001)  
<http://www.national.com>
- [8] Analog Devices, *ADF4110/4111/4112/4113 RF PLL Frequency Synthesizer*, Datenblatt  
<http://www.analog.com>
- [9] Analog Devices, *Phase Locked Loops for High-Frequency Receivers and Transmitters*, Analog Dialogue, 33-3, 33-5, 33-7, 1999
- [10] Analog Devices, *Single Supply, Rail to Rail Low Power FET-Input Op Amp*, Datenblatt  
<http://www.analog.com>
- [11] Agilent Technologies, *HSMP-382x Series Surface Mount RF PIN Switch and Limiter Diodes*, Datenblatt  
[www.semiconductor.agilent.com](http://www.semiconductor.agilent.com)
- [12] G. Alessio, G. Troise: *Interdigital Design Forms Low-Cost Bandpass Filters*, Microwaves & RF, September 1997 (Part I) and October 1997 (Part II)

- [13] ALC Microwave, *Active Frequency Doubler ALMX2-1020-20*, <http://www.alcmicrowave.com>
- [14] W. Bächtold: *Mikrowellentechnik*, Vieweg & Sohn, Braunschweig (1999)
- [15] EasyPLL, *Webench online design environment*  
<http://www.wireless.national.com>
- [16] EAGLE, *Easily Applicable Graphical Layout Editor*  
<http://www.cadsoft.de>
- [17] Elsie Filter, *LC Filter Synthesis Tool*  
<http://mywebpages.comcast.net/tonne/elsie.html>
- [18] M. T. Faber, J. Chramiec, M. E. Adamski: *Microwave and Millimeter-Wave Diode Frequency Multipliers*, Artech House (1995)
- [19] Hittite Microwave Corporation, *HMC187MS8 GaAs MMIC SMT Passive Frequency Doubler*, Datenblatt  
<http://www.hittite.com>
- [20] Hewlett Packard, *Low Cost Frequency Multipliers Using Surface Mount PIN Diodes*  
Application Note 1054; now part of Agilent Technologies  
[www.semiconductor.agilent.com](http://www.semiconductor.agilent.com)
- [21] E. Kim: *Microwave Filters*  
Lecture EEE 194, RF & Microwave Engineering, University of San Diego  
<http://www.sandiego.edu/ekim/e194rfs01/>
- [22] G. Matthaei, E. M. T. Jones, L. Young: *Microwave Filters, Impedance-Matching Networks and Coupling Structures*, Artech House (1980)
- [23] Miteq, *Frequency Mixer TB 0218 LW2*, <http://www.miteq.com>
- [24] R. Mancini: *Op Amps For Everyone*, Design Reference, Texas Instruments, August 2002
- [25] Qualcomm, *Synthesizer Products Data Book*, 1997  
<http://www.qualcomm.com>
- [26] RFHIC, *T1020 Passive Frequency Tripler*, Datenblatt  
<http://www.rfhic.com>
- [27] M. Thumm, W. Wiesbeck, S. Kern: *Hochfrequenzmesstechnik*, Verfahren und Meßsysteme, Teubner, 2. Auflage, Stuttgart (1998)
- [28] M. Thumm: *Hoch- und Höchsthfrequenzhalbleiterschaltungen*, Skriptum zur Vorlesung, Institut für Höchsthfrequenztechnik und Elektronik (IHE), Universität Karlsruhe (TH)

- 
- [29] D. Voltmer, *Wireless Electronics*, Course ECE415 (Frühjahr 2003), Electrical and Computer Engineering (ECE) Department, Rose-Hulman Institute of Technology, Terre Haute (USA)
- [30] W. Wiesbeck: *Grundlagen der Hochfrequenztechnik*, Skriptum zur Vorlesung, Institut für Höchstfrequenztechnik und Elektronik (IHE), Universität Karlsruhe (TH)

## **A. Anhang**

### **A.1. Verzeichnis der verwendeten Abkürzungen**

CML	Current Mode Logic
CMOS	Complementary Metal Oxide Semiconductor
CP	Charge Pump
DAC	Digital Analog Converter
DAS	Direct Analog Synthesis
DDS	Direct Digital Synthesis
DFT	Discrete Fourier Transformation
DRO	Dielectric Resonator Oscillator
EDA	Electronic Design Automation
IAS	Indirect Analog Synthesis
LO	Local Oscillator
MMIC	Monolithic Microwave Integrated Circuit
NCO	Numeric Controlled Oscillator
PD	Phase Detector
PFD	Phase Frequency Detector
PLL	Phase-Locked Loop
PN	Phase Noise
ROM	Read Only Memory
SFDR	Spurious Free Dynamic Range
SMD	Surface Mount Device
SSOP	Shrink Small Outline Package
VCO	Voltage Controlled Oscillator
XOR	eXclusive OR

### **A.2. Schaltpläne**

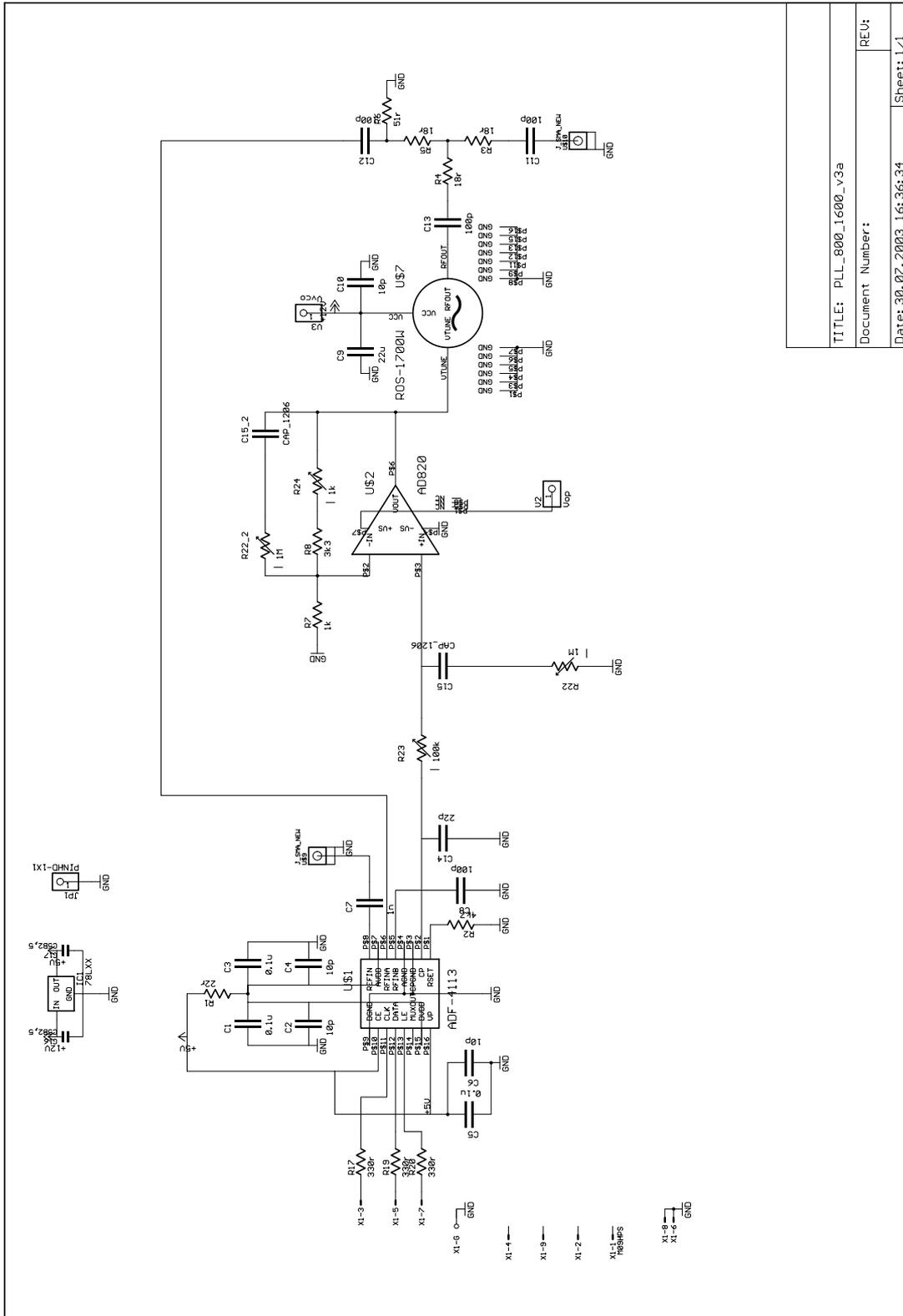


Abbildung A.1.: Schematischer Aufbau der PLL-Schaltung.

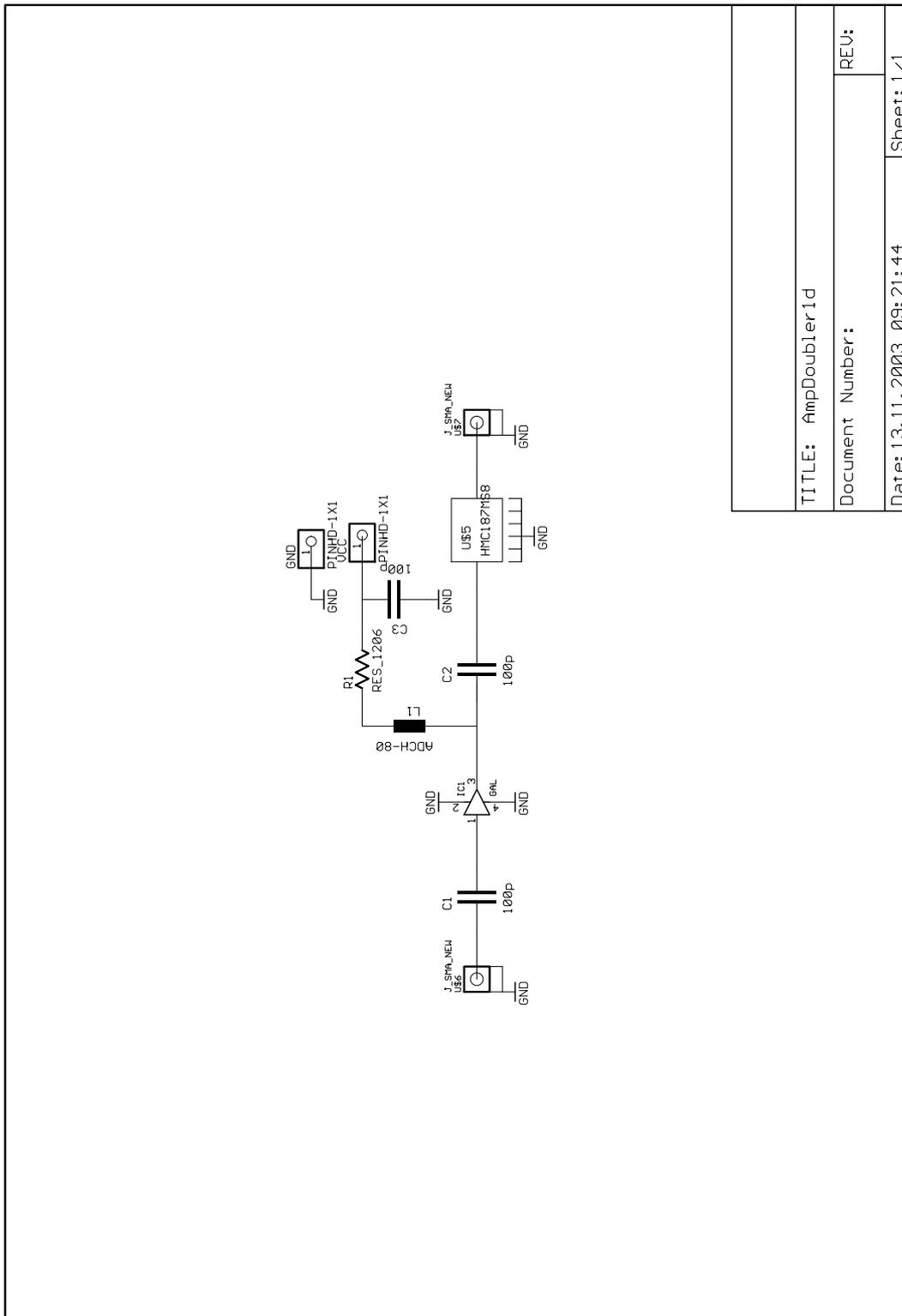


Abbildung A.2.: Schematischer Aufbau der Verdopplerplatine.

TITLE: AmpDoublier1d

Document Number:

REV:

Date: 13.11.2003 09:21:44

Sheet: 1/1

# Index

- Abstimmspannung, 28
- Abtasttheorem, 23
- Aliase, 23
- Aliases, 17
  
- Bandpass, 68
- Bandpassfilterung, 18
  
- Charge Pump, 25
- Chargepump, 27, 30
- Clock, 15
- CP, 25
  
- D/A-Wandler, 14, 15, 20
- DAC, 20
- Datenregister, 14, 15
- Datenwort, 15
- DDS, 6, 7, 14
- Detektor, 30
  - Phasen-, 25, 28
  - Phasen-Frequenz-, 30
- Digital Analog Converter, 20
- Digital-Analog-Wandler, 20
- Digital-Analog-Wandlung, 14
- Direct Digital Synthesis, 8, 14
- Dual-Modulus-Prescaler, 31
  
- Filter
  - LC-, 59
  - Stepped Impedance, 63
- Frequenzauflösung, 6, 14, 23
- Frequenzstabilisierung, 25
- Frequenzstabilität, 19
- Frequenzsynthese, 4
- Frequenzsynthesizer, 2
- Frequenzumsetzung, 7
  
- Gyrotron, 1
  
- Hochfrequenztechnik, 59
  
- Interdigitalfilter, 74
  
- Isolation, 46
  
- Jitter, 19
  - Edge, 19
  
- Konversionsverlust, 46
- Kurzzeitstabilität, 35
  
- Ladungspumpe, 25
- LO, 9
- Local Oscillator, 9
- Loopbandbreite, 27, 29
- Loopfilter, 28
  - Aktives, 30
  - Passives, 29
  
- Microstripfilter, 62
  
- NCO, 6
- Netzwerkanalysator, 1
- Numeric Controlled Oscillator, 6
- Nyquistbandbreite, 21
  
- PD, 28
- Phase Locked Loop, 5, 25
- Phasenfehler, 21
- Phasengrenze, 27, 29
- Phasenrauschen, 6, 19, 35
  - Einseitenband-, 39
- Phasenregelschleife, 5, 7, 14, 22, 25
- Phasenregister, 14, 15, 19
- Plasmen, 1
- PLL, 5, 7, 25
  - Breitband-, 32
  - Hybrid-, 32
- PLL-Synthesizer-Chip, 30
- PROM, 15
- Pseudosignale, 17
  
- Quantisierung, 18
- Quantisierungsfehler, 19–21
- Quantisierungsrauschen, 21

- Quarzoszillator, 4
- quasi-optisch, 1
  
- Residual Phase Noise, 22
- ROM, 19
  
- Sampling-Theorie, 17
- Spurious, 20, 21
- Synthese
  - direkte analoge, 4
  - direkte digitale, 6
  - indirekte analoge, 5
- Synthesizer, 4
  
- Tiefpass, 60
  - Stepped Impedance, 63
- Tiefpassfilter, 18
- Transformation
  - Diskrete Fourier, 21
  - Laplace-, 25
- tuning word, 15
  
- Übertragungsfunktion, 26
- Unterdrückung, 46
  
- VCO, 5, 25, 28
- Voltage Controlled Oscillator, 5, 25, 28
  
- Wobbelgeschwindigkeit, 2
  
- Zähler, 14, 15
  - Modulus-M-, 15